

DOI: 10.19783/j.cnki.pspc.200948

# 一种基于 FPGA 并行加速的稀疏矩阵求解方法

吴志勇<sup>1</sup>, 王晞阳<sup>1</sup>, 陈继林<sup>2</sup>

(1. 国家超级计算无锡中心, 江苏 无锡 214072; 2. 中国电力科学研究院有限公司, 北京 100085)

**摘要:** 研究了电力系统电磁暂态仿真中最耗时的稀疏矩阵快速求解问题。采用了算法定义架构的设计思想, 提出了一种 DAG 静态并行调度算法, 并设计了与之相适配的硬件并行加速阵列架构。在设计实现中, 针对电磁暂态仿真运算中稀疏矩阵求解的特性, 采用了精确的节拍级硬件资源调度, 实现了高度融合的软硬件协同加速。在此基础上, 进行了该设计的测试及性能分析。实验结果表明, 该结构和方法在电力系统稀疏矩阵运算中的性能优于通用 CPU 和 GPU。

**关键词:** 稀疏矩阵; DAG; 数据流机; 静态调度; 并行算法; 现场可编程门阵列(FPGA)

## A method for solving a sparse matrix based on FPGA parallel acceleration

WU Zhiyong<sup>1</sup>, WANG Xiyang<sup>1</sup>, CHEN Jilin<sup>2</sup>

(1. National Supercomputing Center in Wuxi, Wuxi 214072, China;

2. China Electric Power Research Institute Co., Ltd., Beijing 100085, China)

**Abstract:** This paper studies the most time-consuming sparse matrix fast solving problem in the electromagnetic transient simulation of a power system. It adopts the design idea of algorithm definition architecture, proposes a DAG static parallel scheduling algorithm, and designs a suitable hardware parallel to accelerate the array architecture. In the design and implementation, in order to solve the sparse matrix in the electromagnetic transient simulation operation, the precise beat-level hardware resource scheduling is adopted to realize the highly integrated software and hardware coordination acceleration. A design test and performance analysis is carried out. The results show that the structure and method performance is better than general-purpose CPU and GPU in the sparse matrix operation of a power system.

This work is supported by the Science and Technology Project of State Grid Corporation of China "Research and Development of High-performance Computing Technology Suitable for Power System Applications" (No. XTB17201900305).

**Key words:** sparse matrix; DAG; data-flow computer; static scheduling; parallel algorithm; field programmable gate array (FPGA)

## 0 引言

在电力系统仿真中, 电磁暂态仿真是主要的系统仿真应用之一, 也是电力系统安全分析和运行的关键组件<sup>[1-4]</sup>。在该应用中, 其核心算法是对大规模线性方程组  $\mathbf{Ax} = \mathbf{b}$  的求解。同时, 通过对实际数据的分析可知, 线性方程组中的系数矩阵  $\mathbf{A}$  通常为稀疏矩阵, 电力系统大型稀疏矩阵的稠密度通常小于

1%<sup>[5]</sup>, 如果不能有效地利用矩阵的稀疏性, 在使用计算机处理大型稀疏矩阵操作时会把大量的存储和计算资源浪费在无效的零元上, 导致处理效率低下缓慢, 并且部分超大规模稀疏矩阵甚至无法使用传统的稠密矩阵算法来进行求解<sup>[6]</sup>。因此, 在大型稀疏矩阵进行存储和计算的时候, 需要利用专用的算法和数据结构, 同时设计专用的硬件架构, 最大化地利用计算系统的算力和效能。在此背景下, 电力系统的电磁暂态加速求解问题最终聚焦为稀疏线性方程组的加速求解问题<sup>[7-8]</sup>。

求解稀疏线性方程组的方法有两大类: 直接法

基金项目: 国家电网有限公司总部科技项目“适应于电力系统应用的高性能计算技术研究与开发”(XTB17201900305)

和迭代法。

直接法指在不考虑计算舍入误差的情况下，通过矩阵分解和三角方程<sup>[9-10]</sup>求解稀疏矩阵方程组得到精确解的方法。针对直接法求解过程中 LU 分解组求解等有限步的操作，文献[11]在常用的 Right-Looking(RL)基础上提出改进的 Multifrontal 方法，求解得到方程组的精确解，并且提高了计算性能。文献[12]提出了一种具有多处理器耦合结构的稀疏线性系统的并行算法，利用直接法通过 Cholesky 分解求解稀疏对称正定矩阵，并对算法在排序、符号因子分解、数值因子分解等求解过程进行了说明。文献[13]在隐式梯形积分求解法基础上，基于扩展的 Sherrman-Morrison 求逆公式推导出了一种基于矩阵分块递推求逆的并行求解算法。

迭代法指给定一个初始解向量，通过一定的计算，构造一个向量列(一般通过逐次迭代得到一系列逼近精确值的近似解)，向量列的极限为方程组理论上的精确解<sup>[14-15]</sup>。文献[16]提出一种前端为  $k$  个乘法器的加法树结构，该算法将矩阵每一行分为大小为  $k$  的子行，元素不足  $k$  则补零。同时提出一种称为“合并”的方法来降低补零带来的代价。文献[17]采用一种行分块的 CRS 结构来进行迭代求解。

由于迭代算法存在精度难以控制和收敛速度难以控制的问题，不利于 FPGA(Field Programmable Gate Array)硬件实现<sup>[5]</sup>，所以本课题中采用了直接法对稀疏线性方程组进行求解，并在此基础上提出了一种基于 FPGA 加速的高性能稀疏矩阵求解方法，构建了 X86 主机与 FPGA 加速卡协同加速环境。该环境将计算复杂的矩阵消元部分放在 FPGA 端以高速并行数据流机实现求解，而将矩阵分解及调度放在主机端实现，更好地优化了主机与加速部件间的任务分配和协同。经软件开发和优化后，该加速环境在电力系统电磁暂态仿真应用中取得了良好的加速效果。

## 1 稀疏矩阵数据预处理

### 1.1 稀疏矩阵的存储

稀疏矩阵是一个具有大量零元素的矩阵，为了节省存储空间，可以不存储稀疏矩阵的零元素。基于该思想，目前已有多种成熟的稀疏矩阵存储格式，例如坐标格式、压缩条格式、对角格式等等。一些格式专门为某种体系结构设计，而另外一些格式专门为某种特殊应用设计。因此，需要根据算法设计选择合适的存储格式。在本课题中，根据电磁暂态仿真中稀疏矩阵求解的算法结构，采用压缩条格式对稀疏矩阵进行存储。

压缩条格式分为 CSR(Compressed Sparse Row)格式和 CSC(Compressed Sparse Column)格式<sup>[19]</sup>。CSC 格式是按列对非零元素进行压缩，它包括三个数组：

1) val：浮点型数组，按列连续存储非零元素的值；

2) row\_ind：整型数组，存储 val 数组中对应非零元素的行索引；

3) col\_ptr：整型数组，数组的元素 col\_ptr[i] 存储了第  $i$  列的第一个非零元素在 val 和 row\_ind 的偏移，即该列的起始地址。表示每列非零元素个数的数组 len 可以由数组 col\_ptr 得到，即：len[i]=col\_ptr[i+1]-col\_ptr[i]。

CSR 格式与 CSC 相似，CSR 格式不同于 CSC 格式的是按行对非零元素进行压缩并连续存储。

### 1.2 稀疏矩阵的分解

直接法中的矩阵分解部分，可以采用 Cholesky 分解、QR 分解和 LU 分解等<sup>[19]</sup>。而选择哪一种矩阵分解方式则需要根据稀疏矩阵的特征来进行选择。本课题的电力系统电磁暂态仿真稀疏矩阵求解中，根据其算法特性，选择了 LU 分解的方式对稀疏矩阵进行分解。

在本课题中，为了充分发挥 FPGA 端的并行加速能力，首先将分块之后的中小规模稀疏矩阵  $A$  在 CPU 主机端进行 LU 分解，得到下三角矩阵  $L$  与上三角矩阵  $U$ ，使得

$$A = LU \tag{1}$$

因此，可得

$$LUx = b \tag{2}$$

由式(2)令

$$Ux = y \tag{3}$$

将式(3)代入式 (2)，可得

$$Ly = b \tag{4}$$

根据式(4)可求解得出未知向量  $y$ ，将向量  $y$  代入式(3)，可求解得出最终的未知向量  $x$ 。

由于式(3)和式(4)中的系数矩阵分别为下三角矩阵  $L$  和上三角矩阵  $U$ ，因此求解过程主要进行逐行消元，这部分任务在 FPGA 加速卡端实现，采用静态并行调度算法(包含数据调度和时序调度)，利用 FPGA 多处理单元(Process Element, PE)来实现最大限度的并行求解。

为了优化 FPGA 实现，在本课题中，将对系数矩阵  $U$  的对角线上的元素取倒数(在主机端调度中实现)，这样就可以在行消元求解最终  $x[i]$  时采用乘法运算取代除法运算。因此 FPGA 端的硬件结构中，

只需实现乘法运算部件而不再需要除法运算部件。与此同时, 由于乘法运算过程能够实现节拍级流水运行, 可以大大提高硬件运算性能。

### 1.3 稀疏矩阵静态并行调度

由于电力系统电磁暂态仿真中的稀疏矩阵是实际电网拓扑的数学抽象, 在相对有限的运行时间内具有结构稳定性<sup>[3,7]</sup>。所以在本课题中采用了静态算法, 在主机端对矩阵求解过程进行了并行调度, 并生成带节拍的控制和数据信息加载到 FPGA 内的多个 PE 上实现矩阵求解。

基于硬件并行加速的思想, 为了在 FPGA 加速卡中实现多个 PE 并行计算来提高运算速率, 加速稀疏矩阵的求解, 需要充分开发稀疏矩阵求解过程中的并行性。以稀疏下三角矩阵为例, 当下三角稀疏矩阵  $L$  的稀疏结构如图 1 所示, 可以根据对角线元素在求解过程中的依赖关系转化为一个有向无环图(Directed Acyclic Graph, DAG)<sup>[20]</sup>, 如图 2 所示。

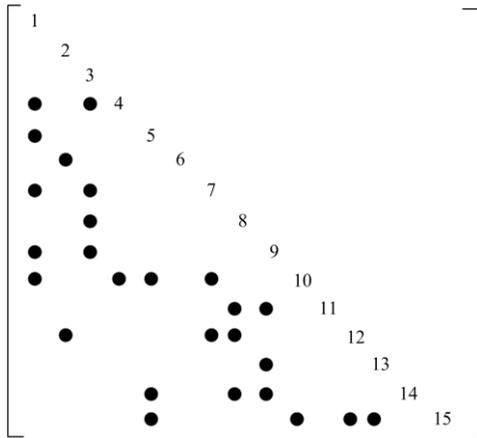


图 1 下三角稀疏矩阵  $L$  示意图

Fig. 1 Schematic diagram of lower triangular sparse matrix  $L$

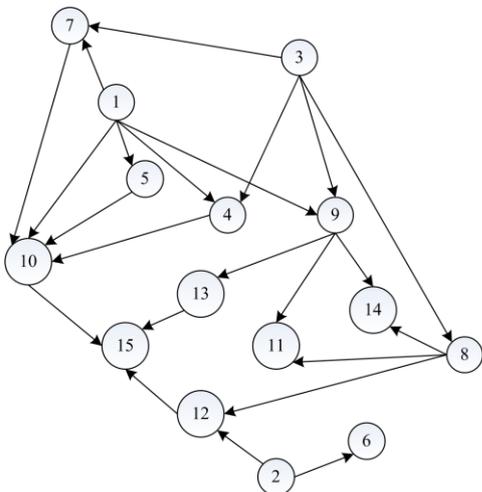


图 2 有向无环图

Fig. 2 Directed acyclic graph

根据 DAG 图分析可知, 在 FPGA 进行消元求解的过程中不仅存在依赖关系, 也存在大量无相关性的并行关系。例如, 对角线元素 1、2、3 均是在第一步就可以求解得出, 对角线元素 5、6、8 就可以在第二步中求解完成。基于其中存在的并行性, 对经过 LU 分解后的稀疏上、下三角矩阵进行分割, 将其分割成多个部分, 并映射到 FPGA 多个 PE, 这将有利于硬件并行结构的设计, 并尽可能利用并行硬件结构对算法进行并行加速, 提高求解过程的并行度。在本课题中, 采用了特定算法对稀疏上、下三角矩阵进行分割。

本课题 DAG 静态调度算法设计主要基于多层次递归二分切分法、多层次 K 路切分法以及多约束划分机制。利用该算法对稀疏矩阵进行分割, 首先需要将 DAG 以数组与链表相结合的图存储结构进行存储, 即为邻接表格式。在本文中将 DAG 中顶点用一维数组进行存储, 对于顶点数组, 每个数据元素存储指向第一个邻接点的指针, 以便于查找该顶点的边信息。每个顶点的邻接点构成一个线性表, 由于邻接点的个数不定, 所以采用单链表进行存储。图 2 中 DAG 的邻接表如图 3 所示。

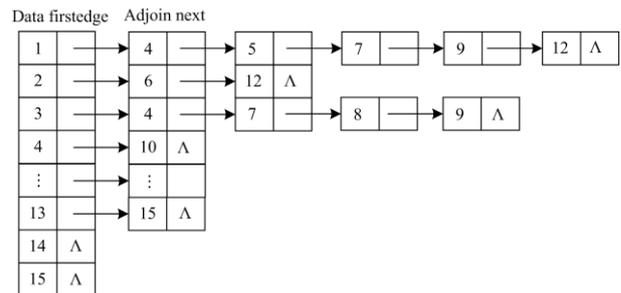


图 3 邻接表示意图

Fig. 3 Schematic diagram of adjacency list

算法根据上述邻接表格式, 指定分割块数, 即可将稀疏系数矩阵分割到 FPGA 多个 PE 上。

## 2 模拟映射与数据排布

本课题采用的静态并行调度算法实现了主机端带节拍的控制和数据信息生成, 并将其加载到 FPGA 端实现运行加速, 不仅简化了 FPGA 中矩阵求解数据相关性的控制, 而且能够充分发挥 FPGA 硬件多 PE 并行运算能力。硬件根据带节拍的控制和数据信息, 在实现了多 PE 并行运算的同时, 还实现了 PE 内的节拍级流水和 PE 间的通信, 从而得到了很好的加速性能。另外考虑到 FPGA 硬件设计和调试周期较长, 采用软件模拟映射算法, 可以更快地实现该算法的模拟和效率评估, 能够更好地实

现软硬件协同和快速迭代优化。

本课题实现中,采用静态调度算法对下三角矩阵的非零元尽可能进行均匀分割后,映射到多个 PE 上并行运行<sup>[21-22]</sup>。在 FPGA 上实现稀疏线性方程组直接法求解的模拟映射与排布算法具体如下:

首先,通过分析可知,求解过程中数据之间存在下述依赖关系:

- 1) 同一列的非对角元依赖同列的对角元处理完成后,才能够开始求乘积;
- 2) 非对角元的加减法运算,需要等同行的所有非对角元的乘法运算完成后才开始进行;
- 3) 同行的对角元,需要等同行的所有非对角元完成加减运算后开始进行乘法运算。

如图 4 所示,当运算 10 号对角元时,存在下述依赖关系,需要当 1、4、5、7 号对角元与对应列的非对角元完成乘法运算后,再完成 10 号对角元同行的非对角元的加减法运算以更新右端项,最后再进行 10 号对角元的乘法运算,得到最终解。

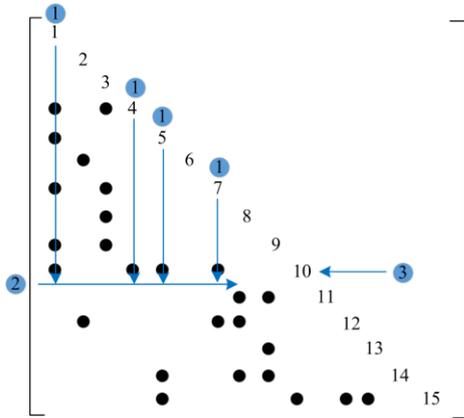


图 4 10 号对角元的求解依赖关系

Fig. 4 Solving dependence of diagonal element No. 10

同时,求解过程中存在下述冲突:

- 1) 来自通信单元的冲突,当前计算得出的对角元的解  $x$  需要在接下来的一定数量的拍数中,广播到整个通信通路;
- 2) 加法单元在当前节拍完成前,不能再使用同一行内的其他非对角元去更新右端项。

根据上述依赖与冲突,在软件端将数据进行排布,并分配到不同的 PE,让硬件获知在每一拍做何种操作,数据排布算法流程如图 5 所示。

### 3 硬件并行结构的设计

根据上面所述,利用直接法对稀疏矩阵进行求解的过程实际上是个 DAG 问题, DAG 不具有天然的并行性,但通过上述对数据进行分割等预处理,

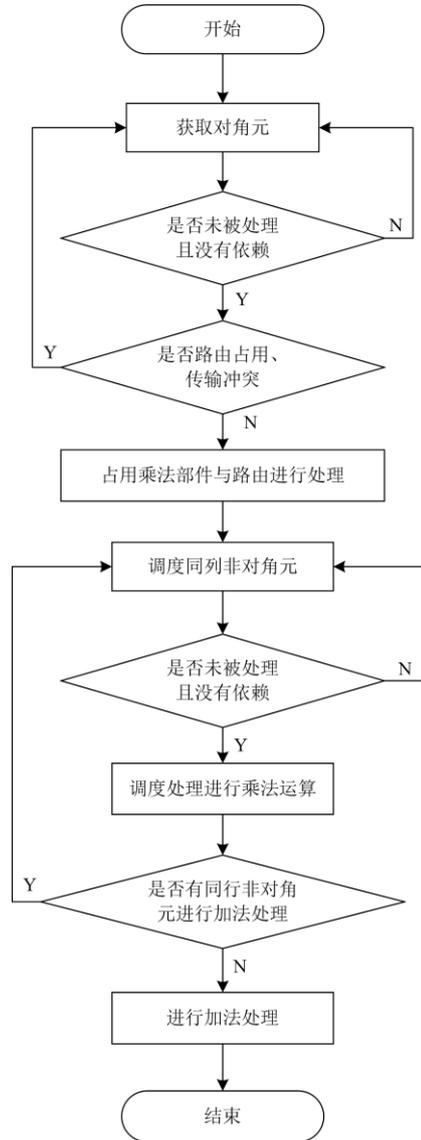


图 5 数据排布算法流程

Fig. 5 Flow of data arrangement algorithm

挖掘出大量的数据并行性与重用性<sup>[21]</sup>。再针对分割完成的数据进行排布,并基于数据流机的流水及并行处理思想,优化硬件时序调度和运算分配。本小节将对上述的数据排布与映射处理,给出了本课题实现的硬件细粒度并行流水线结构,并对数据调度过程进行描述。

#### 3.1 总体并行结构

本小节提出稀疏线性方程组求解的并行结构,如图 6 所示。

并行结构主要由三部分组成:计算单元、存储单元和通信通路。计算单元是 PE 执行运算的硬件部件,它驱动存储单元与通信通路协同工作。每个计算单元读取本 PE 内存单元内的非零元或从前

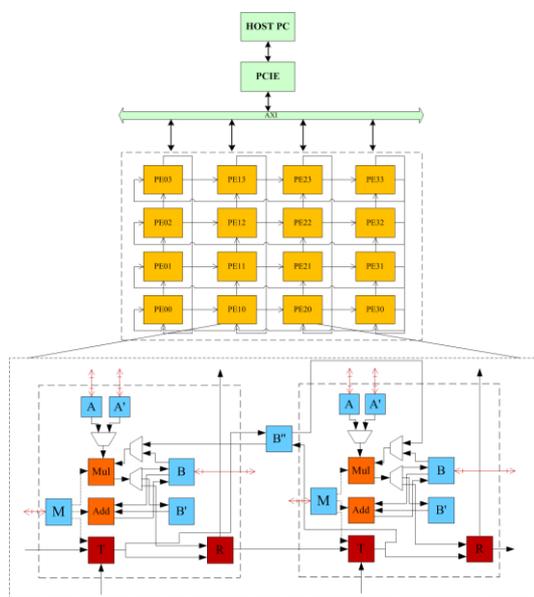


图 6 稀疏矩阵求解并行结构

Fig. 6 Parallel structure for solving sparse matrix

一级 PE 送来的非零元, 并对每个操作数进行乘加操作, 从而求解得出对角元的最终结果或是非对角元的更新值, 并将求解结果存放到存储单元中。每个 PE 都有对应的存储单元, 用于存放线性方程组中对该 PE 的系数矩阵中的非零元和计算单元求解得到的结果。在本课题结构中的存储单元采用 BlockRAM 实现的双端口读写通路, 同一个节拍内, 每个端口都可以读取或写入一个数据。通信通路用于在不同 PE 间的非零元存在依赖关系时, 通过通信通路来传输计算结果。一个 PE 计算得到结果后, 将其上传到通信通路上, 另一个计算单元接收通信通路上的结果, 将其存储到自己对应的存储单元中, 形成结果的副本, 以便后面更新右端项使用。

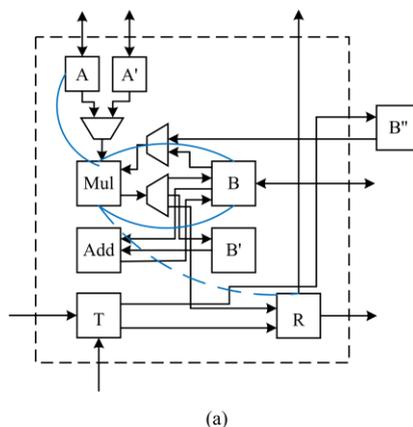
### 3.2 数据调度

根据图 6 中的 PE 结构可知, 为了提高硬件架构性能, PE 内采用了流水线结构。一个 PE 包括 7 个局部存储器、1 个浮点双精度复数乘法单元、1 个浮点双精度复数加法单元、2 个多路选择器和其他控制逻辑。7 个局部存储器中, 存储器 A 和 A' 用于存储分配到该 PE 上的系数矩阵的对角元数组和非对角元数组。存储器 B 用于存储分配到该 PE 上的对角元右端项, 对应于 A 存储器。存储器 B' 用于存储分配到该 PE 上的非对角元右端项, 即非对角元的乘法结果, 用于参与后续加法运算来更新右端项。存储器 B'' 用于存储 PE 之间共享的对角元。寄存器 R 用于存储对角元乘法结果的副本, 用于传输到下一级 PE 中参与运算。存储器 T 用于两个 PE

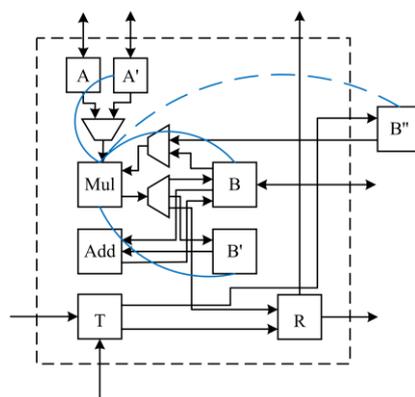
之间的传输。

下面根据控制单元来说明单个 PE 中不同控制模式下的数据调度过程。

图 7 描述了乘法单元的数据调度过程。当处理对角元时, 数据调度过程如图 7(a)所示, 乘法单元分别从存储器 A 和 B 中得到对角元系数和对角元进行乘法运算, 获得对应的解向量  $x$ , 若该解向量  $x$  只需用于本 PE 进行调度, 则将其存储于存储器 B, 否则还需写到寄存器 R, 用于传输单元 T 传输到下一级 PE。当处理非对角元时, 数据调度过程如图 7(b)所示, 若非对角元依赖的解  $x$  来自于本 PE, 则乘法单元分别从存储器 A' 和 B 中得到非对角元系数和对角元进行乘法运算, 否则从存储器 B'' 获取对角元进行乘法运算, 运算结果更新到存储器 B' 中。



(a)



(b)

图 7 不同模式下乘法单元的数据调度

Fig. 7 Data scheduling of multiplication unit in different modes

图 8 描述了加法单元的数据调度过程, 利用非对角元系数的乘法结果更新右端项。从存储器 B 和 B' 中分别得到右端项和非对角元乘法结果进行加法运算, 并将运算结果重新存储回存储器 B, 以更新右端项。

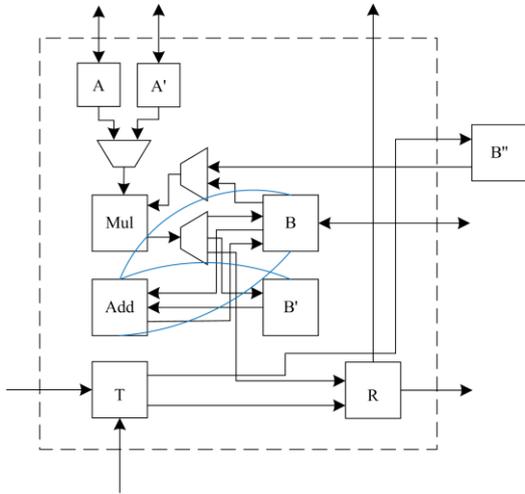


图 8 加法单元的数据调度

Fig. 8 Data scheduling of the addition unit

上述硬件架构将 PE 内存储器读写冲突、运算部件冲突以及 PE 间通信冲突进行了解耦，实现了硬件充分并行，且各个运算部件内部实现了充分流水。每个 PE 的运算结果会在下一拍传输到寄存器

R，用于下一级 PE 的运算调用。因此，本课题中提出的结构能够很好地实现稀疏矩阵求解的细粒度流水线并行性。

#### 4 FPGA 实现

在本课题具体实现中，采用了 Xilinx AlveoU280 加速卡，在 X86 主机上构建了加速平台，在单片 FPGA 中实现了通过二维单向环网互联的 16PE 加速阵列，主机通过 PCIe3.0 X16 接口与该加速卡进行通信和数据交互，FPGA 核心加速逻辑运行频率为 300 MHz。

在双精度浮点复数运算中，FPGA 设计采用了与 X86 平台一致的 IEEE754 默认舍入模式；将 denormal 数作为 0 处理，并且在运算生成 denormal 数时，也规格化为+0 或-0。此外，将 Signaling Nan 和 Quiet Nan 都默认为 Quiet Nan 进行处理，不产生异常，避免复杂的浮点异常处理流程，提高运算速度。

该平台 FPGA 设计逻辑拓扑和物理平台如图 9 和图 10 所示。

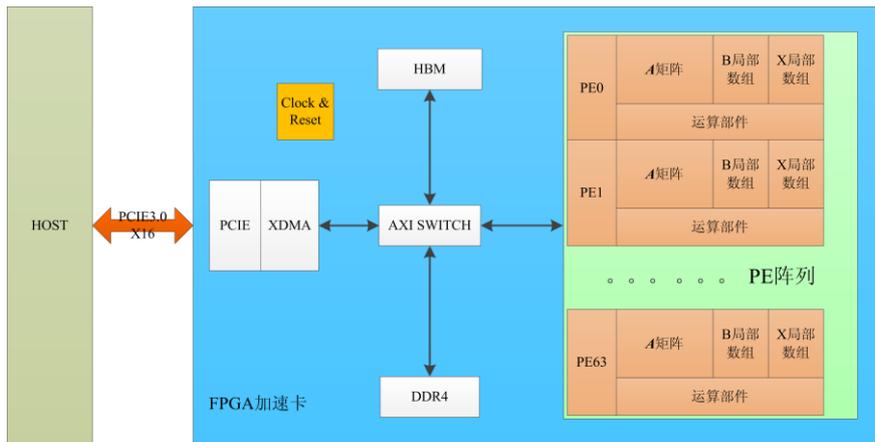


图 9 平台逻辑拓扑示意

Fig. 9 Diagram of logic topology in the platform



图 10 FPGA 平台实物示意

Fig. 10 Diagram of the physical FPGA platform

#### 5 性能分析

针对中国电力科学院提供的国内大规模电力系统<sup>[22]</sup>电磁暂态仿真中的真实数据特性<sup>[23]</sup>和算法需求<sup>[24]</sup>，本课题聚焦于加速该仿真应用的核心算法——大规模稀疏矩阵求解。通过将超大规模稀疏矩阵进行分割，以规模为 10187×10187 且稀疏度为 0.25%左右的矩阵为求解加速单元矩阵，实现对该矩阵的 FPGA 求解加速。该单元矩阵的平均非零数据约为 25 000 个双精度浮点复数。

在课题工程实现中，设计了一维单向环网 4PE 互连、二维单向环网 16PE 互连以及二维单向环网

64PE 互连三种不同规模硬件架构。通过上述静态算法针对这三种 FPGA 并行架构分别进行了优化适配和调度。实际测得该单元矩阵的消元求解(不包含矩阵 LU 分解)所需时间如表 1 所示。

表 1 三种规模消元求解时间

Table 1 Solution time of elimination in three scales

测试平台配置	静态算法调度	实测运行
	节拍数	时间/ $\mu\text{s}$
一维单向环网 4PE 互连	14 546	48.5
二维单向环网 16PE 互连	4 828	16.1
二维单向环网 64PE 互连	3 240	10.8
二维单向环网 64PE 互连 (长尾优化)	1 964	6.5

与此同时, 将该单元矩阵消元求解算法移植到 20 核 Intel Xeon Gold 5320H(4.3 GHz)处理器平台上, 并进行了并行优化。其中 4 核用于操作系统和驱动运行, 其余 16 核专用于优化后的稀疏矩阵并行运算, 其 10 次运行平均求解时间约为 17.4  $\mu\text{s}$  左右。此外, 将该单元矩阵求解算法移植到 Nvidia V100 (16 GB HBM)加速卡平台并进行了 CUDA 架构下的并行优化, 其 10 次平均求解时间为 11.3  $\mu\text{s}$  左右。

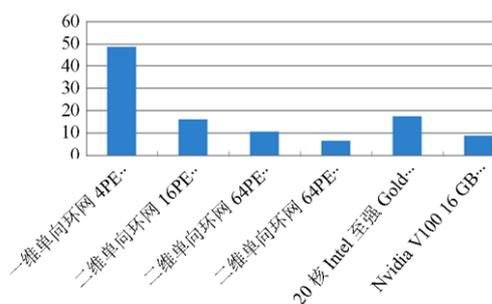


图 11 三种硬件规模 FPGA 加速与 CPU、GPU 的性能对比

Fig. 11 Performance comparison of FPGA acceleration, CPU and GPU in three hardware scales

从上述对比可知, 本课题实现的二维单向环网 64PE 互连架构的稀疏矩阵求解 FPGA 加速, 相对通用 CPU 和 GPU 具有更好的加速效果。在根据电科院算法要求开发的电磁暂态仿真专用测试程序(内含 1000 次暂稳态求解迭代循环)运行中, 本课题 FPGA 加速平台 20 次运行的时间均值为 53.4 ms, 该测试程序在 CPU 和 GPU 运行时间分别为 60.7 ms 和 55.1 ms。

## 6 结论

本文针对电力系统电磁暂态仿真加速问题<sup>[25-26]</sup>, 提出了利用直接法求解稀疏线性方程组, 通过稀疏

矩阵分解和静态并行调度等预处理算法, 开发了稀疏线性方程组求解中的并行性。

与此同时, 采用了优化的静态算法, 在 FPGA 硬件上不仅简化了控制逻辑的复杂度, 而且对该算法开发的并行性进行充分加速。该算法通过数据排布与软件模拟映射算法, 生成硬件运行所需的节拍级数据, 能够精确评估算法及硬件效率, 能够实现设计的快速迭代。

本文结合了静态优化调度算法和硬件并行数据流机两者的优点, 实现了稀疏矩阵求解的细粒度并行流水, 在稀疏矩阵中取得了良好的效果。

## 参考文献

- [1] 罗捷, 袁康龙, 钟杰峰, 等. 考虑新能源接入对系统调峰性能影响的随机生产模拟算法[J]. 电力系统保护与控制, 2019, 47(8): 180-187.  
LUO Jie, YUAN Kanglong, ZHONG Jiefeng, et al. Probabilistic production simulation algorithm considering new energy's impact on regulation[J]. Power System Protection and Control, 2019, 47(8): 180-187.
- [2] 刘俊, 孙惠文, 吴柳, 等. 电力系统暂态稳定性评估综述[J]. 智慧电力, 2019, 47(12): 44-53, 122.  
LIU Jun, SUN Huiwen, WU Liu, et al. Overview of transient stability assessment of power systems[J]. Smart Power, 2019, 47(12): 44-53, 122.
- [3] YE Xiaohui, TANG Yong, SHU Dewu. Large step size electromagnetic transient simulations by matrix transformation-based shifted-frequency phasor models[J]. IET Generation Transmission & Distribution, 2020, 14(15): 2890-2900.
- [4] TANG Y, WAN L, HOU J. Full electromagnetic transient simulation for large power systems[J]. Global Energy Interconnection, 2019, 2(1): 29-36.
- [5] MUELLER-ROEMER J S, STORK A, FELLNER D. Analysis of schedule and layout tuning for sparse matrices with compound entries on GPUs[J]. IET Generation Transmission & Distribution, 2020, 39(6): 133-143.
- [6] 唐伦, 丁理杰, 史华勃, 等. 用于大规模电磁暂态模型自动生成的拓扑分层识别方法[J]. 电力系统保护与控制, 2019, 47(21): 100-108.  
TANG Lun, DING Lijie, SHI Huabo, et al. Topology hierarchical identification method for automatic model generation of large-scale electromagnetic transient simulation[J]. Power System Protection and Control, 2019, 47(21): 100-108.
- [7] BOŠANSKÝ M, PATZÁK B. Parallel approach to solve

- of the direct solution of large sparse systems of linear equations[J]. *NMM 2017-NANO & Macro Mechanics*, 2017, 13: 16-19.
- [8] 杜平, 万玉良, 项颂, 等. VSC 变流器与弱电网交互作用的次同步振荡关键参数研究[J]. *电力系统保护与控制*, 2019, 47(14): 44-49.
- DU Ping, WAN Yuliang, XIANG Song, et al. Study on key parameters of subsynchronous oscillation between VSC converter and weak power grid[J]. *Power System Protection and Control*, 2019, 47(14): 44-49.
- [9] DUFF I S, ERISMAN A M, REID J K. Direct methods for sparse matrices[M]. Oxford: Oxford University Press, 1986.
- [10] LI X. Sparse Gaussian elimination on high performance computers[D]. Berkeley: University of California, 1996.
- [11] DUFF I S, REID J K. The multifrontal solution of indefinite sparse symmetric linear equations[J]. *ACM Transactions on Mathematical Software*, 1983, 9(3): 302-325.
- [12] HEATH M T, NG E, PEYTON B W. Parallel algorithms for sparse linear systems[J]. *SIAM Review*, 1991, 33(3): 420-460.
- [13] 黄远洋. 基于矩阵分块递归求逆的电力系统机电暂态并行算法[J]. *电力系统保护与控制*, 2019, 47(24): 8-14.
- HUANG Yuanyang. A parallel algorithm for electromechanical transient simulation by recursive block matrix inversion[J]. *Power System Protection and Control*, 2019, 47(24): 8-14.
- [14] DEMMEL J W. Applied numerical linear algebra[M]. The Society of Industrial and Applied Mathematics, 1997.
- [15] HIGHAM N J. Accuracy and stability of numerical algorithms[M]. Second edition. Philadelphia: Society for Industrial and Applied Mathematics, 2002.
- [16] ZHUO L, PRASANNA V K. Sparse matrix-vector multiplication on FPGAs[C] // *Proceedings of the 13th ACM/SIGDA International Symposium on Field Programmable Gate Arrays (FPGA'05)*, February 1-3, 2005, Monterey, CA, USA: 63-74.
- [17] SUN J, PETERSON G D, STORAASLI O O. Sparse matrix-vector multiplication design on FPGAs[C] // *Proceedings of the 15th Annual IEEE Symposium Field-Programmable Custom Computing Machines (FCCM'07)*, April 23-25, 2007, Napa, CA, USA: 349-352.
- [18] 郭贵明. FPGA 矩阵计算并行算法与结构[M]. 长沙: 国防科技大学, 2011.
- [19] 张贤达. 矩阵分析与应用[M]. 北京: 清华大学出版社, 2013.
- [20] 沈健, 蒋芸, 邹丽, 等. 基于节点选择优化的 DAG-SVM 多类别分类[J]. *计算机工程*, 2015(6): 143-146.
- SHEN Jian, JIANG Yun, ZOU Li, et al. DAG-SVM multi-class classification based on nodes selection optimization[J]. *Computer Engineering*, 2015(6): 143-146.
- [21] ZHOU L, PRASANNA V K. Sparse matrix multiplication on FPGAs[C] // *Proceedings of the 13th ACM/SIGDA International Symposium on Field Programmable Gate Arrays (FPGA'05)*, 2005: 63-74.
- [22] SUN J, PETERSON G D, STORAASLI O O. Sparse matrix-vector multiplication on FPGAs[C] // *Proceedings of the 15th Annual IEEE Symposium Field-Programmable Custom Computing Machines (FCCM'07)*, 2007: 349-352.
- [23] FU C, JIAO X, YANG T. Efficient sparse LU factorization with partial pivoting on distributed memory architectures[J]. *IEEE Transactions on Parallel and Distributed Systems*, 1998, 9(2): 109-125.
- [24] AMROUNE M, BOUKTIR T, MUSIRIN I. Power system voltage instability risk mitigation via emergency demand response-based whale optimization algorithm[J]. *Protection and Control of Modern Power Systems*, 2019, 4(4): 269-282. DOI: 10.1186/s41601-019-0142-4.
- [25] 李格格, 李存斌. 基于扩充样本的电力系统可靠性动态与实时研究[J]. *智慧电力*, 2019, 47(1): 88-93.
- LI Gege, LI Cunbin. Dynamic and real-time research on reliability evaluation of electric power system based on extended sample[J]. *Smart Power*, 2019, 47(1): 88-93.
- [26] 薛巍. 全国联网巨系统的暂稳并行计算研究[D]. 北京: 清华大学, 2003.
- XUE Wei. Research on parallel computing of temporary stability of national networked giant system[D]. Beijing: Tsinghua University, 2003.

收稿日期: 2020-08-06; 修回日期: 2020-09-28

作者简介:

吴志勇(1976—), 男, 硕士, 高级工程师, 研究方向为计算机系统结构、微处理器设计和验证; E-mail: wuzhiyong@mail.nscwx.cn

王晞阳(1976—), 男, 硕士, 高级工程师, 研究方向为计算机软件应用技术; E-mail: wangxiyang@mail.nscwx.cn

陈继林(1982—), 男, 硕士, 高级工程师, 研究方向为电力系统仿真技术. E-mail: cjl20082002@163.com

(编辑 周金梅)