

复杂电网环境下基于 DDM-QT1-PLL 的并网同步方法

王佳浩¹, 潘欢^{1,2}, 纳春宁^{1,2}

(1. 宁夏大学物理与电子电气工程学院, 宁夏 银川 750021; 2. 宁夏电力能源安全重点实验室, 宁夏 银川 750004)

摘要: 随着分布式电源并网的增加, 电网面临着电压扰动、直流偏置、电压不平衡及谐波畸变等诸多问题。在这样的复杂电网环境下, 传统锁相环技术(PLL)难以快速、准确地检测到电网电压的频率和相位。为此, 提出在准 1 型锁相环(QT1-PLL)的结构中额外增加联合延时信号消除(DSC)和滑动平均滤波器(MAF)的滤波环节, 设计出一种满足复杂电网环境下并网需求的新型 PLL(DDM-QT1-PLL)。DDM-QT1-PLL 采用 $\alpha\beta$ DSC₂ 与 dq DSC₄ 级联 MAF 的环外滤波和环内滤波结构, 消除电网电压直流偏置、不平衡及谐波分量的同时, 可有效提高 PLL 系统的响应速度和稳定性。针对频率偏移时, $\alpha\beta$ DSC₂ 引起的相位误差, 设计一种前馈通道以补偿误差。仿真结果表明 DDM-QT1-PLL 具有快速的响应速度和良好的干扰抑制能力, 并能够在非额定频率的直流偏置下, 实现检测频率和相位的零稳态误差。

关键词: 锁相环; 准 1 型锁相环; 延时信号消除; 滑动平均滤波器; 并网同步

Grid-connected synchronization method based on DDM-QT1-PLL under complex grid conditions

WANG Jiahao¹, PAN Huan^{1,2}, NA Chunqing^{1,2}

(1. School of Physics and Electronic-Electrical Engineering, Ningxia University, Yinchuan 750021, China;
2. Ningxia Key Laboratory of Electrical Energy Security, Yinchuan 750004, China)

Abstract: With the increase of the distributed power grid-connected, the grid is facing many problems, such as voltage disturbance, DC offset, unbalanced voltage, harmonic distortion and so on. The traditional Phase-Locked Loop (PLL) technique finds it hard to detect the frequency and phase of grid voltage quickly and accurately under such complex grid conditions. To this end, a new PLL (DDM-QT1-PLL) is proposed, adding additional filtering stages consisting of Delay Signal Cancellation (DSC) and Moving Average Filter (MAF) into the Quasi-Type-1 PLL (QT1-PLL). It is constructed to meet the grid-connected demand in complex grid conditions. $\alpha\beta$ DSC₂ and dq DSC₄ cascaded MAF are adopted as the out-loop and in-loop filtering in DDM-QT1-PLL to eliminate grid voltage DC offset, unbalanced and harmonic components, as well as to effectively improve the response speed and stability margin of the PLL system. A feed forward path is designed to compensate the phase error caused by $\alpha\beta$ DSC₂ when the grid frequency drifts. Simulation results show that DDM-QT1-PLL has a fast response speed and provides a good disturbance rejection capability, and achieves a zero steady-state error under DC offset of non-nominal frequency.

This work is supported by National Natural Science Foundation of China (No. 61763040), Ningxia Key Research and Development Program (Special Talents) (No. 2018BEB04003) and The Third Batch of Ningxia Youth Talents Supporting Program (No. TJGC2018095).

Key words: PLL; QT1-PLL; delay signal cancellation; moving average filter; grid-connected synchronization

0 引言

锁相环(Phase-Locked Loop, PLL)广泛应用于电

基金项目: 国家自然科学基金项目资助(61763040); 宁夏自治区重点研发计划项目资助(引才专项 2018BEB04003); 第三批宁夏青年科技人才托举工程资助(TJGC2018095)

力电子和电力系统中, 特别适用于分布式发电(Distributed Generation, DG)、电力设备、灵活交流传输系统的同步和控制^[1-5]。随着新能源并网率的提升, PLL 被大量应用于并网逆变器, 以实现电网同步控制^[6-9]。同步参考坐标系锁相环(Synchronous Reference Frame PLL, SRF-PLL)^[10-13]是最基本的 PLL, 以其结构简单且易于实现, 理想电网下可准确、快

速地检测到电网电压频率和相位, 而广受电力工程师的关注。然而, 不足的是在电网电压不平衡和谐波畸变以及直流偏置等复杂电网环境下, 由于输入电压中存在负序分量和谐波分量, 会导致 SRF-PLL 不能精确快速地提取电网基波正序分量, 使得 PLL 同步性能不佳。

为了解决 SRF-PLL 的缺陷, 电力专家们聚焦于改进 SRF-PLL 结构: 文献[14]利用双二阶广义积分器(Dual Second Order Generalized Integrator, DSOGI)和对称分量法来提取电网电压基波正序分量; 文献[15]构造了一个解耦双同步参考坐标系 PLL 以分离正负序分量。上述两种 PLLs 的滤波能力有限且结构复杂, 势必增加 PLL 的计算量。基于 DSOGI 结构, 文献[16]提出三种二阶广义积分器改进结构来增强 PLL 的滤波能力, 但是依然克服不了 DSOGI 功能单一的问题, 无法实现在复杂电网环境下有效精确地检测频率和相位。文献[17]提出结构简单的交叉解耦复系数滤波器(Complex Coefficient Filter, CCF)PLL, 实现在静止坐标系下快速分离电压正负序分量, 但是 CCF 为带通滤波器, 依然无法实现良好的滤波效果。

欲提高 PLL 的滤波效果, 最有效的方式是在其结构中额外增加滤波器。文献[18-19]将陷波滤波器(Notch Filter, NF)配置于 PLL 控制回路中以选择性地消除谐波分量。然而, 当电网电压中含有不同频率的谐波分量时, PLL 控制回路需级联多个 NFs, 这无疑增加了 PLL 结构的复杂性。文献[20]采用多个 CCFs 并联来消除谐波并提取电压基波正序分量, 但代价是减缓了 PLL 的响应速度。为了改善 PLL 的响应速度, 文献[21]使用比例微分积分器来取代控制回路的比例积分器, 以此来改进滑动平均滤波器锁相环(Moving Average Filter-PLL, MAF-PLL), 该方法尽管提高了 PLL 的响应速度, 但是降低了抑制谐波和噪声的能力。另一种提高 PLL 响应速度的途径是采用准 1 型 PLL(Quasi-Type 1 PLL, QT1-PLL)结构, QT1-PLL 的控制回路中只有一个积分器作为环路滤波器, 所以具有很大的稳定裕量。

随着 DGs 并网的持续增加以及非线性负载的扩散, 所面临的电网环境也愈加复杂, 电压扰动、电压不平衡、直流偏置以及不同阶次的谐波影响等不利因素往往同时出现。当前的 PLLs 往往顾此失彼, 难以在复杂电网环境下实现电网电压频率、相位的快速精确检测, 因此为了克服这一难题, 本文提

出一种联合延时信号消除(Delayed Signal Cancellation, DSC)与 MAF 的滤波方法, 设计一种改进的 QT1-PLL(DDM-QT1-PLL)结构。在不影响 PLL 响应速度和稳定性的前提下, 该结构采用静止坐标系 DSC 消除直流偏置和偶次谐波, 且在同步坐标系中级联 DSC 和 MAF 消除电压不平衡引起的负序分量和奇次谐波, 使得同时面对电网电压不平衡、直流偏置和高度谐波畸变时可精确快速地检测电网电压的频率和相位。仿真结果表明 DDM-QT1-PLL 在复杂电网环境下具有快速的响应速度和良好的滤波性能。

1 准 1 型锁相环

QT1-PLL 通过将 SRF-PLL 控制回路中的比例积分控制器替换为单一的比例增益, 以提高 PLL 系统的响应速度^[22]。额定频率下 QT1-PLL 表现为 1 型控制系统, 而非额定频率下整定为 2 型控制系统。QT1-PLL 消除了相角跳变下检测频率与相位之间的耦合, 使 PLL 具备了快速的响应速度。

图 1 为传统的 QT1-PLL 结构, 图中的前馈通道(蓝色线)是为了确保 QT1-PLL 能够在频率跳变下实现零稳态相位误差, MAF 作为环内滤波环节, 可以实现良好的滤波效果。尽管 QT1-PLL 结构简单、滤波能力出色, 但由于 MAF 在第一陷波点处具有 180° 的相位延时, 而延时引入控制回路后必然减缓 QT1-PLL 的响应速度。为了消除直流偏置、电压不平衡以及奇、偶次谐波, 提高 QT1-PLL 的响应时间, 本文主要采用一种环外-环内组合滤波环节来改进传统 QT1-PLL 的性能。

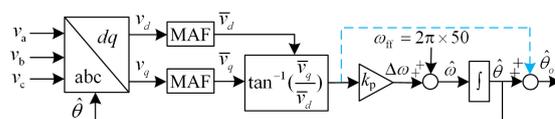


图 1 准 1 型锁相环结构框图

Fig. 1 Block diagram of QT1-PLL

2 基于静止和同步坐标系下的滤波环节

三相 PLL 系统主要通过配置额外滤波器来增强其滤波能力。配置额外滤波器的方法主要分为两类: 一类是在 PLL 的相控回路中引入额外滤波器, 简称环内滤波, 从坐标变换的角度也看作是同步(dq)坐标系下的滤波环节; 另一类是在 PLL 输入前引入额外滤波器, 也称为环外滤波, 以坐标变换的角度可认为是静止($\alpha\beta$)坐标系下的滤波环节。由于环外

滤波不会破坏 PLL 系统的稳定裕量和动态性能, 大多数研究人员更倾向于在 PLLs 中引入环外滤波。但是环外滤波的滤波功能单一, 不能实现在高畸变电网电压下对谐波的有效滤除。因此, 欲全面提升 PLL 的滤波效果, 需综合环外与环内滤波环节的优点, 将两者组合实现消除不同阶数谐波的功能。

为了实现组合滤波器, 首先需要分析 QT1-PLL 的原理以及谐波在 $\alpha\beta$ 和 dq 坐标系下的表现形式。由图 1 可知, QT1-PLL 中利用 Clark 变换将三相电压变换到 $\alpha\beta$ 坐标系, 接着利用 Park 变换将 $\alpha\beta$ 坐标系中的正交电压变换至 dq 坐标系下的直流分量, 将含有相位误差的直流分量馈送到 PLL 的控制回路, 利用反馈回路调节相位误差为零, 实现锁相功能。直流偏置、不平衡和谐波注入电网电压后, 通过 Clark 变换, 不平衡电压在 $\alpha\beta$ 坐标系下表现为负序分量, 直流偏置和谐波阶数不发生变化。Park 变换后在 dq 坐标系下, 直流偏置以基频分量振荡、而电压不平衡则以双频分量振荡、正序谐波 h 表现为 $h-1$ 阶、负序谐波 h 表现为 $h+1$ 阶。接来的任务就是选择合适的滤波环节以消除直流偏置、电压不平衡和谐波分量。

2.1 静止坐标系延时信号消除直流偏置和偶次谐波

DSC 最初应用于单相 PLL 系统以消除电网电压不平衡。后来为消除谐波, 文献[23]提出了广义 DSC 运算, 按形式分为静止坐标系 DCS($\alpha\beta$ DSC)和同步坐标系 DSC(dq DSC)。

$\alpha\beta$ DSC 本质是一个有限脉冲响应滤波器, 时域表达式为

$$\alpha\beta\text{DSC}_n(t) = \frac{1}{2}(v_{\alpha\beta}(t) + e^{j\frac{2\pi}{n}} v_{\alpha\beta}(t - T/n)) \quad (1)$$

式中: $v_{\alpha\beta}(t)$ 为 $\alpha\beta$ 坐标系下的电网电压; $e^{j\frac{2\pi}{n}}$ 为旋转因子; $v_{\alpha\beta}(t - T/n)$ 为 T/n 之前 $\alpha\beta$ 坐标系下的电网电压; n 为延时因子; T 为电网基频周期。

式(1)在拉式域中的传递函数为

$$\alpha\beta\text{DSC}_n(s) = \frac{1}{2}(1 + e^{j\frac{2\pi}{n}} e^{-\frac{T}{n}s}) \quad (2)$$

将 $s = j\omega$ 代入式(1)中可得到 $\alpha\beta\text{DSC}_n$ 的幅值和相位表达式为

$$\alpha\beta\text{DSC}_n(j\omega) = \left| \cos\left(\frac{\omega T}{2} - \frac{\pi}{n}\right) \right| \angle -\left(\frac{\omega T}{2} - \frac{\pi}{n}\right) \quad (3)$$

由式(3)可知, 不论 n 取何值, $\alpha\beta$ DSC 都可以通过电网电压基频正序分量。由于消除谐波的阶数取决于 n , 可根据所要消除的谐波阶数来选择 n 值。

为了消除 PLL 输入中的直流偏置和偶次谐波, 选择 $n=2$ 。绘制式 $\alpha\beta\text{DSC}_2$ 的伯德图, 如图 2 所示。

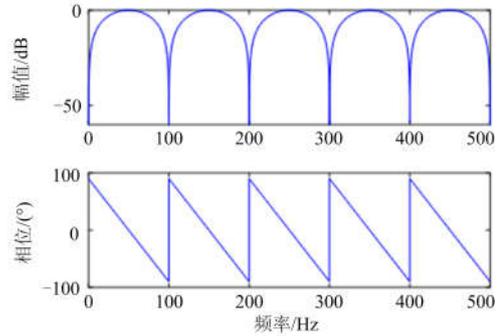


图 2 $\alpha\beta\text{DSC}_2$ 的伯德图

Fig. 2 Bode plot of $\alpha\beta\text{DSC}_2$

由图 2 可知, $\alpha\beta\text{DSC}_2$ 可以无衰减零相移通过基频(50 Hz)正序分量, 并且在零频和偶次谐波频率处的幅值为零。这意味着 $\alpha\beta\text{DSC}_2$ 可以精确无延时地提取电网电压的基频正序分量, 完全消除直流偏置($\alpha\beta$ 坐标系下直流偏置为 0 Hz)与偶次谐波分量。又因为 $\alpha\beta\text{DSC}_2$ 的伯德图是对称的, 所以由电压不平衡产生的负序(-50 Hz)分量也能完全保留下来。

实际控制系统需要 $\alpha\beta\text{DSC}_2$ 在离散域中实现, 图 3 为 $\alpha\beta\text{DSC}_2$ 的离散域实现结构图, 为了消除离散化误差, 采用线性插值法对 N 取值。 $N_2 = \text{round}[(T/2)/T_s] = 100$, T_s 为采样时间, $T_s = 0.0001$ s。

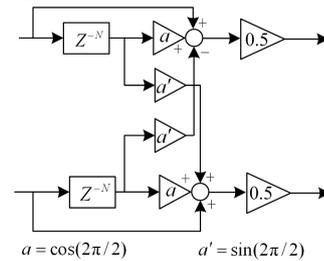


图 3 $\alpha\beta\text{DSC}_2$ 离散实现结构框图

Fig. 3 Block diagram of discretization implementation $\alpha\beta\text{DSC}_2$

2.2 同步坐标系延时信号消除电压不平衡和部分奇次谐波

由于 $\alpha\beta\text{DSC}_2$ 无法消除电压不平衡产生的 -50 Hz 频率分量, 该分量经过 Park 变化后输入 PLL 的控制回路, -50 Hz 的频率分量表现为 -100 Hz 的双频振荡, 会造成 PLL 难以精确地检测到电网电压频率与相位, 因此必须采用 dq DSC 来消除 dq 坐标系下 -100 Hz 的频率分量。

dq DSC 是 $\alpha\beta$ DSC 在 dq 坐标系下的一种实现方式^[24], 时域表达式为

$$dqDSC_n(t) = \frac{1}{2}(v_{dq}(t) + v_{dq}(t - T/n)) \quad (4)$$

式中: $dqDSC_n(t)$ 为输出电压; T/n 为 $v_{dq}(t)$ 的延时时间; n 为延时因子; T 为电网基频周期。

式(4)在拉式域中的传递函数为

$$dqDSC_n(s) = \frac{1}{2}(1 + e^{-(T/n)s}) \quad (5)$$

将 $s = j\omega$ 代入式(5)中可得到 $dqDSC_n$ 的幅值和相位表达式为

$$dqDSC_n(j\omega) = \left| \cos\left(\frac{\omega T}{2}\right) \right| \angle -\left(\frac{\omega T}{2}\right) \quad (6)$$

由式(6)可知, $dqDSC$ 在零频处的增益为 1, 在频率 $f = n/T(2k \pm 1/2)(k \in Z)$ 处的增益为零。这意味着 $dqDSC$ 能够通过直流分量并消除由 n 决定的谐波分量。选择 $n=4$ 可消除 -100 Hz 的频率分量和特定的奇次谐波。绘制式(6) $dqDSC_4$ 的伯德图, 如图 4 所示。

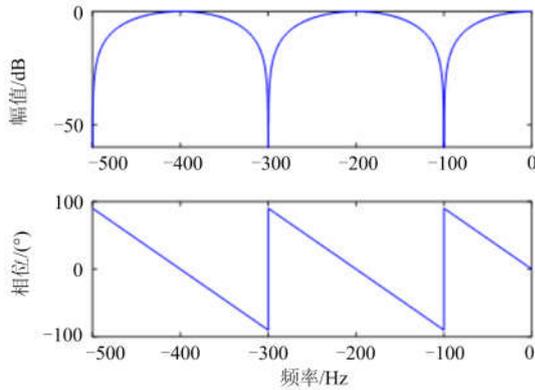


图 4 $dqDSC_4$ 的伯德图

Fig. 4 Bode plot of $dqDSC_4$

由图 4 可知, 直流分量(0 Hz)无衰减零相移输入 PLL 的控制回路, dq 坐标系中, $h=-2, -6, -10, -14, \dots$ 阶的所有谐波, 对应于 $\alpha\beta$ 坐标系中的 $h=-1, -5, -9, -13, \dots$ 阶的所有谐波幅值为 0。这表明 $dqDSC_4$ 可以消除负序分量和特定的奇次谐波分量。

$dqDSC_4$ 离散域的传递函数为

$$dqDSC_4(z) = \frac{1}{2}(1 + z^{-N_4}) \quad (7)$$

式中, $N_4 = \text{round}[(T/4)/T_s] = 50$ 。

综上所述, PLL 中配置 $\alpha\beta DSC_2$ 和 $dqDSC_4$ 不能消除奇、偶次谐波, 为了更好地说明该事实, 图 5 绘制了级联 $\alpha\beta DSC_2$ 和 $dqDSC_4$ 传递函数的幅频响应。可以清晰地看到, 某些阶次谐波处的幅值为 1, 这说明谐波通过 $\alpha\beta DSC_2$ 和 $dqDSC_4$ 后无法完全被消

除, 从而影响 PLL 检测频率和相位的精度。

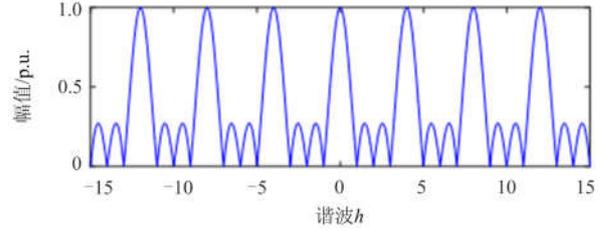


图 5 级联 $\alpha\beta DSC_2$ 和 $dqDSC_4$ 的幅频响应

Fig. 5 Magnitude response of cascaded $\alpha\beta DSC_2$ and $dqDSC_4$

2.3 MAF 消除特定谐波

为了弥补级联 $\alpha\beta DSC_2$ 与 $dqDSC_4$ 的不足, 将在 PLL 环内增加 MAF 用以消除剩余谐波分量。MAF 的连续时域表达式为^[25]

$$\bar{x}(t) = \frac{1}{T_\omega} \int_{t-T_\omega}^t x(\tau) d\tau \quad (8)$$

式中: T_ω 表示 MAF 的窗长; $x(\tau)$ 表示被滤波的信号; $\bar{x}(t)$ 表示 MAF 输出信号。

式(8)的传递函数在 s 域的表达式为

$$G_{MAF}(s) = \frac{\bar{x}(s)}{x(s)} = \frac{1 - e^{-T_\omega s}}{T_\omega s} \quad (9)$$

将 $s = j\omega$ 代入式(8)并进行拉式变换得到 MAF 的幅值和相位表达式为

$$G_{MAF}(j\omega) = \left| \frac{\sin(\omega T_\omega / 2)}{\omega T_\omega} \right| \angle -\omega T_\omega / 2 \quad (10)$$

由式(10)可知, MAF 在零频处的增益为单位值, 在频率为 $f = n/T_\omega (n=1, 2, 3, \dots)$ Hz 处增益为零。这表示 MAF 可以通过直流分量并完全消除 $1/T_\omega$ 的整数倍频率分量。MAF 滤波能力的大小取决于窗长 T_ω , 窗长越大, 滤波能力越强, 但系统的响应也越缓慢。若只需消除部分特定谐波, 选择延时较小的窗长 $T_\omega = T/6 = 0.0033$ s 即可。

MAF 的离散域表达式为

$$\bar{X}(z) = \frac{1}{N} \frac{1 - z^{-N}}{1 - z^{-1}} X(z) \quad (11)$$

式中, $N = T_\omega / T_s = 33$ 。

绘制级联 $\alpha\beta DSC_2$ 、 $dqDSC_4$ 和 MAF 的幅频响应, 如图 6 所示。可以看到除零频处的幅值为 1 外, 其余阶次的谐波幅值均得到了有效地衰减, 证明提出的级联结构的确可以通过直流分量并有效消除奇、偶次谐波。

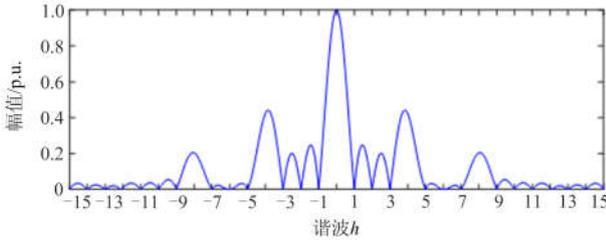


图 6 级联 $\alpha\beta$ DSC₂、 dq DSC₄和 MAF 的幅频响应
Fig. 6 Magnitude response of cascaded $\alpha\beta$ DSC₂, dq DSC₄ and MAF

3 改进准 1 型锁相环的设计

通过前文的分析已证实,级联 $\alpha\beta$ DSC₂、 dq DSC₄和 MAF 可以消除 PLL 输入中的各种扰动,结合 QT1-PLL 的优势,本节欲将 DSC 与 MAF 的级联结

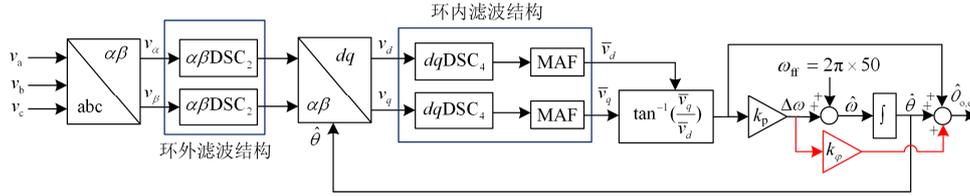


图 7 DDM-QT1-PLL 结构框图
Fig. 7 Block diagram of DDM-QT1-PLL

尽管电网频率在额定值时, $\alpha\beta$ DSC₂ 可以零相移地提取基频分量,但是当频率发生偏移时会导致相移,从而使 PLL 的相位检测值存在误差。为了补偿误差,传统方法主要通过 PLL 反馈检测频率并且使 DSC 频率自适应,但是这样会使 PLL 高度非线性化^[26]。因此,可通过在 PLL 的输出端校正误差方法,来避免这一问题。假设电网频率为 $\omega_g = \omega_0 + \Delta\omega_g$, 其中, $\Delta\omega_g$ 表示电网频率与额定频率 ω_0 的偏差,根据式(3)可以得到 $\alpha\beta$ DSC₂ 在基频处引起的相移表达式为

$$\angle\alpha\beta DSC_2(j\omega_g) = -\frac{T}{4}\Delta\omega_g \quad (12)$$

图 7 中,比例增益 k_p 的输出信号是 $\Delta\omega_g$ 的检测值,因此可通过前馈通道(红色线)对相位误差进行校正,其中 $k_\phi = T/4$ 。

3.1 小信号模型及其精确性验证

由于 $\alpha\beta$ DSC₂ 和 dq DSC₂ 具有相同的滤波作用,为了简化计算且保证小信号模型的精度,将图 7 中 $\alpha\beta$ DSC₂ 用 dq DSC₂ 等效替代,可得如图 8 所示的小信号模型。

构配置到 QT1-PLL 内部,设计一种改进的 QT1-PLL (DDM-QT1-PLL)以实现在复杂电网环境下对基波正序分量频率和相位的精确、快速检测,DDM-QT1-PLL 的结构图如图 7 所示。

对比图 1 与图 7 可以发现,通过在 QT1-PLL 输入前引入 $\alpha\beta$ DSC₂,构造环外滤波结构,环内滤波采用 dq DSC₄ 和 MAF 的级联结构。环外滤波 $\alpha\beta$ DSC₂ 的主要目的是在不影响系统响应速度的前提下消除电网电压中的直流偏置,并且不受电网频率偏移的影响。环内滤波 dq DSC₄+MAF 用以有效地消除谐波。图 7 中, $\tan^{-1}(\bullet)$ 的作用主要是消除 DDM-QT1-PLL 控制回路的非线性,以及对基波正序电压幅值进行归一化处理,使其不影响 PLL 的开环增益和动态性能。

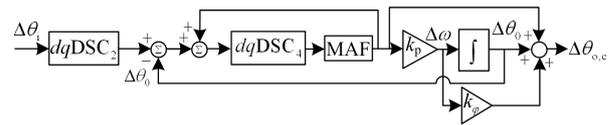


图 8 DDM-QT1-PLL 的小信号模型
Fig. 8 Small-signal model of DDM-QT1-PLL

为证实图 8 所示小信号模型的精确性,图 9 分别绘制了频率阶跃+3 Hz 和相角跳变+10° 时,DDM-QT1-PLL 与其小信号模型输出相位误差的仿真波形。对比两种波形可以清晰地看到小信号模型的输出相位误差波形精确地跟踪了实际输出的相位误差波形,因此,图 9 充分说明 DDM-QT1-PLL 小信号模型的精确性与有效性。

3.2 参数设计

本节将应用图 8 所示的小信号模型进行参数设计。第 2 节已经得到 dq DSC₂ 和 MAF 的延时因子与窗长,未知量只剩参数 k_p ,图 8 中控制回路的开环传递函数如式(13)所示。

$$G_{ol} = \left(\frac{dqDSC_4(s)G_{MAF}(s)}{1 - dqDSC_4(s)G_{MAF}(s)} \right) \left(\frac{s + k_p}{s} \right) \quad (13)$$

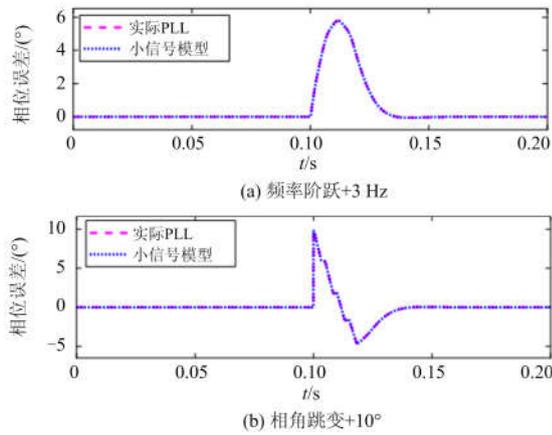


图 9 小信号模型精确性评估

Fig. 9 Accuracy assessment of the small-signal model

由式(13)绘制出 k_p 与相位裕量(Phase Margin, PM)的关系曲线, 如图 10 所示。由图可见 PM 随着 k_p 的增加而减小, 两者呈现一种反比关系。根据经验可知, PM 的取值范围通常为 $30^\circ\sim 60^\circ$, 以确保系统的稳定性。本文选取相位裕量的中间值, 即 $PM=45^\circ$, 对应于 $k_p=127$ 。

最后为了与传统 MAF-PLL 和 QT1-PLL 进行比较, 表 1 汇总了三种 PLLs 的控制参数, 文献[27]和文献[22]分别给出了 MAF-PLL 和 QT1-PLL 的优化参数。根据已知参数, 绘制三种 PLLs 的开环伯

德图, 如图 11 所示, 其中 MAF-PLL 为红色线, QT1-PLL 为蓝色线、DDM-QT1-PLL 为紫色线。通过对比可以看出, 相比其他两个 PLLs, DDM-QT1-PLL 具有更高的穿越频率和更大的相位裕量, 这表明 DDM-QT1-PLL 可实现更快的响应速度和更高的稳定性。表 2 总结了三种 PLLs 的穿越频率和相位裕量值。

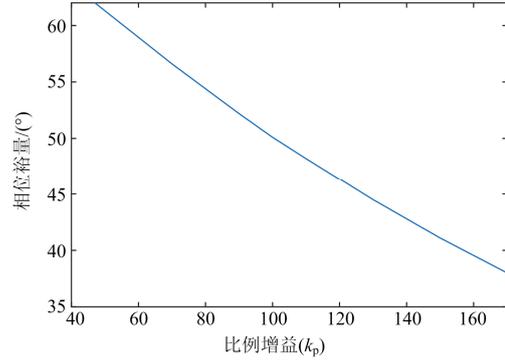


图 10 PM 随 k_p 变化的关系曲线

Fig. 10 PM variations as a function of k_p

表 1 控制参数

Table 1 Control parameters

| | MAF-PLL | QT1-PLL | DDM-QT1-PLL |
|--------------|---------|---------|-------------|
| 比例增益 k_p | 41.67 | 49.8 | 127 |
| 积分增益 k_i | 723.38 | — | — |
| MAF 窗长 T_w | 0.02 s | 0.02 s | 0.003 3 s |

表 2 数值结果汇总

Table 2 Summary of numerical results

| | MAF-PLL | QT1-PLL | DDM-QT1-PLL |
|-------------------|----------------------|---------------------|---------------------|
| 频率阶跃+3 Hz | | | |
| 2%的调节时间 | 147.9 ms(7.35cycles) | 71.0 ms(3.56cycles) | 30.5 ms(1.53cycles) |
| 频率超调 | 1.05 Hz(35.03%) | 0.16 Hz(5.17%) | 0 Hz(0%) |
| 峰值相位误差 | 22.29° | 8.92° | 5.78° |
| 相位跳变+40° | | | |
| 2%的调节时间 | 147.8 ms(7.39cycles) | 73.2 ms(3.67cycles) | 36.8 ms(1.84cycles) |
| 相位超调 | 14.02°(35.1%) | 14.37°(35.9%) | 18.27°(45.7%) |
| 峰值频率误差 | 4.7 1Hz | 4.67 Hz | 5.99 Hz |
| 不平衡和畸变电网 | | | |
| 相位超调($f=50$) | 0.195° | 0.553° | 0.954° |
| 频率超调($f=50$) | 0.017 Hz | 0.022 Hz | 0.061 Hz |
| 直流偏置 | | | |
| 峰-峰相位误差($f=49$) | 0.11° | 0.77° | 0° |
| 峰-峰相位误差($f=47$) | 0.43° | 2.42° | 0° |
| 穿越频率 | 6.9 Hz | 16.5 Hz | 39.1 Hz |
| 相位裕量 | 43.3° | 43.9° | 45.0° |

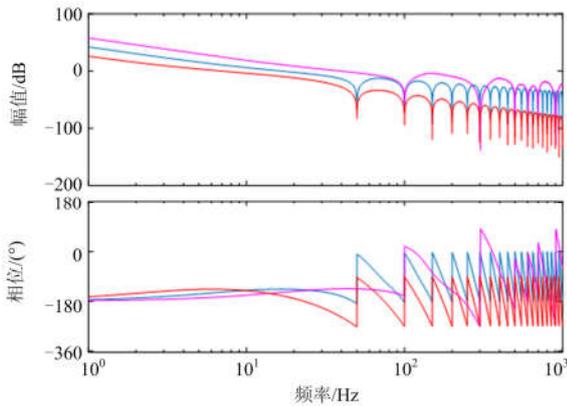


图 11 DDM-QT1-PLL (紫色)、QT1-PLL(蓝色)和 MAF-PLL(红色)的开环伯德图

Fig. 11 Open-loop bode plot of DDM-QT1-PLL (purple), QT1-PLL (blue) and MAF-PLL (red)

4 仿真验证及结果分析

为了验证 DDM-QT1-PLL 在复杂电网环境下检测电网电压频率和相位的有效性，本节主要在 Matlab/Simulink 中搭建模型，得到不同条件下 MAF-PLL、QT1-PLL 和 DDM-QT1-PLL 仿真波形，分析各自的优劣。三种 PLLs 系统的控制参数如表 1 所示，整个仿真过程中，采样频率为 10 kHz，额定频率为 50 Hz，电网电压 $v_{abc}=1 \text{ p.u.}$ 。

4.1 电网电压频率阶跃

当电网电压发生+3 Hz 的频率阶跃时^[28]，三种 PLLs 的检测频率与相位误差曲线如图 12 所示。由图可以发现，当电网电压频率在 0.03 s 处发生+3 Hz 的阶跃时，DDM-QT1-PLL 表现出较高的响应速度，大约 1.5 个基频周期内即可达到稳态；相对而言，MAF-PLL 和 QT1-PLL 的响应速度缓慢，2%的调节时间大约为 7.4 个基频周期和 3.7 个基频周期。对比超调量，DDM-QT1-PLL 最小，QT1-PLL 次之，MAF-PLL 最大，且 DDM-QT1-PLL 实现频率无超调的目标。详细对比数据可见表 2。

4.2 电网电压相角跳变

图 13 描述了电网电压相角跳变+40° 时，三种 PLLs 的仿真结果。电网电压在 0.03 s 时发生+40° 的相角跳变，由图 13 可见：DDM-QT1-PLL 的调节时间最短，大约为 1.8 个基频周期；MAF-PLL 的调节时间最长，大约为 7.4 个基频周期；QT1-PLL 的调节时间居中，约为 MAF-PLL 的一半。对比超调量，DDM-QT1-PLL 超调量略大于 MAF-PLL 与

QT1-PLL。对比结果可见表 2。

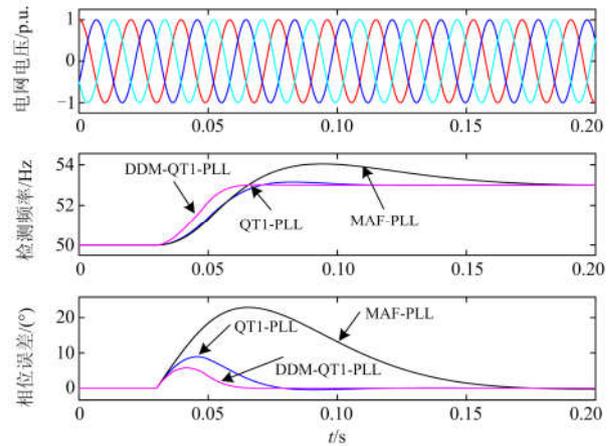


图 12 电网电压频率阶跃+3 Hz 的仿真结果

Fig. 12 Simulation results when the grid voltage undergoes a +3 Hz frequency step

4.3 电网电压不平衡和谐波畸变

图 14 为电网电压不平衡和谐波畸变时 PLLs 的仿真结果。电网电压在 0.03 s 时不平衡并注入谐波，参数为 $v_1^+ = 1 \text{ p.u.}$ 、 $v_1^- = v_5^- = v_7^+ = v_{11}^- = v_{13}^+ = 0.05 \text{ p.u.}$ ， $v_2^- = v_4^+ = 0.01 \text{ p.u.}$ 、 $v_8^- = v_{10}^+ = 0.01 \text{ p.u.}$ (其中不平衡电压用负序分量表示^[29]，即 $h=-1$ 阶谐波)。由图 14 可以清晰地看到，仿真波形均实现了检测频率与相位的零稳态误差，这说明三个 PLLs 都可以有效地消除谐波。通过对比可以发现 DDM-QT1-PLL 的响应速度最快，但超调量也最大。详细的对比结果如表 2 所示。

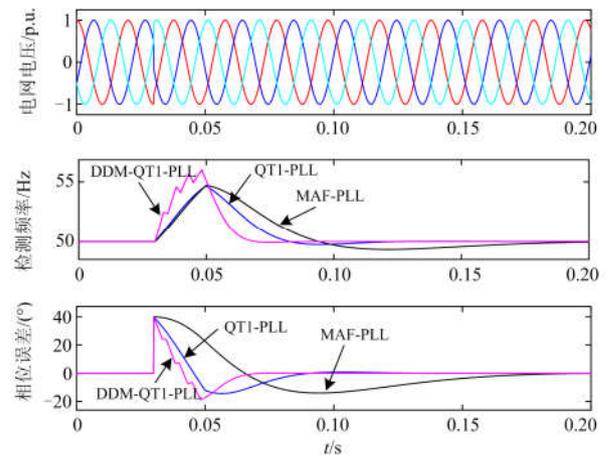


图 13 电网电压相角跳变+40°的仿真结果

Fig. 13 Simulation results when the grid voltage undergoes a +40° phase angle jump

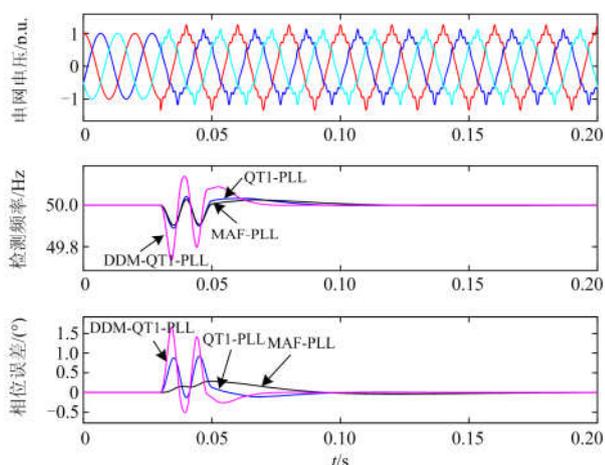


图 14 电网电压不平衡和谐波畸变的仿真结果

Fig. 14 Simulation results when the grid voltage unbalanced and harmonics distorted

4.4 电网电压含有直流偏置

图 15 和图 16 分别绘制了电网电压含有直流偏置并伴有-1 Hz 和-3 Hz 频率偏移时 PLLs 的稳态仿真结果。当电网频率处在额定值时, 三个 PLLs 都具备良好的直流偏置抑制能力。为验证频率偏移下 PLLs 的直流偏置抑制能力, 在 0.03 s 时给电网电压 a 相注入直流偏置(0.5 p.u.)并伴随频率偏移, 由图 15 和图 16 可知不论频率偏移多大, DDM-QT1-PLL 都可以实现检测频率和相位的零稳态误差, 而 MAF-PLL 和 QT1-PLL 均无法实现, 但相对而言, MAF-PLL 的直流抑制能力优于 QT1-PLL。详细对比结果如表 2 所示。

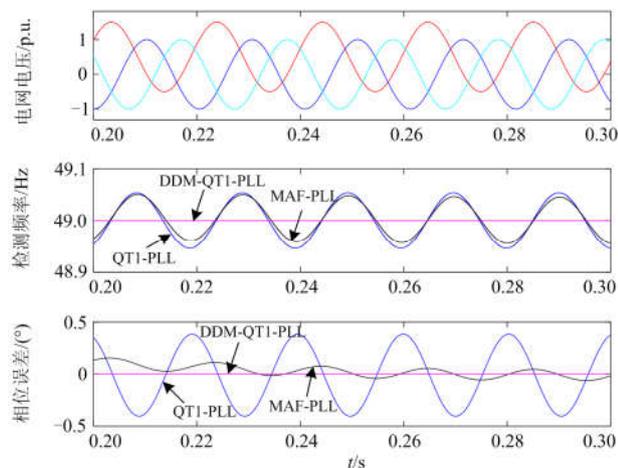


图 15 电网电压含有直流偏置并伴随-1 Hz 频率阶跃变化的稳态仿真结果

Fig. 15 Steady-state simulation results when the grid voltage with DC offset under a -1 Hz frequency step

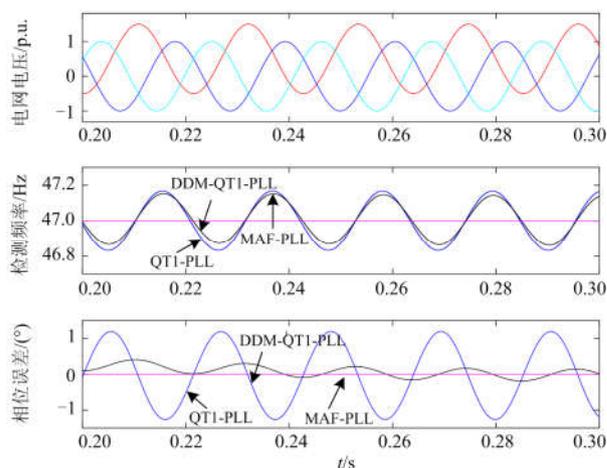


图 16 电网电压含有直流偏置并伴随-3 Hz 频率阶跃变化的稳态仿真结果

Fig. 16 Steady-state simulation results when the grid voltage with DC offset under a -3 Hz frequency step

对比表 2 及图 12—图 16, 可以归纳出: 尽管在不同的电网条件下, 三种 PLLs 各有优劣, 例如当电网存在不平衡和畸变时, MAF-PLL 具有最小的超调量, 然而综合多方面因素, DDM-QT1-PLL 的性能全面占优, 不仅可以滤除各阶谐波, 而且具有较快的响应速度, 更能在直流偏移状态下实现零稳态误差, 这是 MAF-PLL 和 QT1-PLL 所不能比拟的。

5 结论

本文通过在 QT1-PLL 的环内、环外级联 DSC+MAF, 设计了一种新型的 QT1-PLL 结构, 即 DDM-QT1-PLL。通过分析 $\alpha\beta\text{DSC}_2+dq\text{DSC}_4+\text{MAF}$ 的幅频响应, 证实了这种级联结构的确可以完全消除直流偏置和奇、偶次谐波。因此, 在 QT1-PLL 结构中配置环外滤波 $\alpha\beta\text{DSC}_2$ 与环内滤波 $dq\text{DSC}_4+\text{MAF}$, 并增加前馈通道补偿由 $\alpha\beta\text{DSC}_2$ 引起的相位误差, 从而设计出了新的 PLL—DDM-QT1-PLL。同时给出了 DDM-QT1-PLL 的小信号模型并验证了小信号模型的精确性, 进而得到了设计后的参数。通过在复杂电网条件下的仿真测试和数据分析可知, DDM-QT1-PLL 比 MAF-PLL 和 QT1-PLL 具有更快的响应速度, 且在非额定频率下, 可实现直流偏置下检测频率与相位的零稳态误差。

参考文献

- [1] GOLESTAN S, MONFARED M, FREIJEDO F D, et al. Advantages and challenges of a type-3 PLL[J]. IEEE Transactions on Power Electronics, 2013, 28(11):

- 4985-4997.
- [2] GUO Wenming, MU Longhua. Control principles of micro-source inverters used in microgrid[J]. *Protection and Control of Modern Power Systems*, 2016, 1(1): 56-62. DOI: 10.1186/s41601-016-0019-8.
- [3] 王佳浩, 潘欢, 纳春宁. 电网电压不平衡和谐波畸变下新型并网锁相环设计[J]. *电力系统保护与控制*, 2019, 47(15): 108-115.
WANG Jiahao, PAN Huan, NA Chunqing. A new grid-connected phase-locked loop design under grid voltage imbalance and harmonic distortion conditions[J]. *Power System Protection and Control*, 2019, 47(15): 108-115.
- [4] 吴恒, 阮新波, 杨东升. 弱电网条件下锁相环对 LCL 型并网逆变器稳定性的影响研究及锁相环参数设计[J]. *中国电机工程学报*, 2014, 34(30): 5259-5268.
WU Heng, RUAN Xinbo, YANG Dongsheng. Research on the stability caused by phase-locked loop for LCL-type grid-connected inverter in weak grid condition[J]. *Proceedings of the CSEE*, 2014, 34(30): 5259-5268.
- [5] 姜子健, 杨欢, 沈建辉, 等. 基于级联延时信号消除—锁相环算法的配电网静止同步补偿器控制策略[J]. *电网技术*, 2015, 39(7): 1989-1994.
JIANG Zijian, YANG Huan, SHEN Jianhui, et al. DSTATCOM control strategy based on cascaded delayed signal cancellation-phase locked loop algorithm[J]. *Power System Technology*, 2015, 39(7): 1989-1994.
- [6] 欧阳逸风, 邹宇. 弱电网条件下并网逆变器的锁相环静态稳定分析[J]. *电力系统保护与控制*, 2018, 46(18): 74-79.
OUYANG Yifeng, ZOU Yu. Static stability analysis of phase-locked loop in grid-connected inverters under weak grid condition[J]. *Power System Protection and Control*, 2018, 46(18): 74-79.
- [7] GOLESTAN S, MONFARED M, FREIJEDO F D, et al. Performance improvement of a prefiltered synchronous-reference-frame PLL by using a PID-type loop filter[J]. *IEEE Transactions on Industrial Electronics*, 2014, 29(6): 2750-2763.
- [8] GOLESTAN S, GUERRERO J M, VASQUEZ J C. A PLL-based controller for three-phase grid-connected power converters[J]. *IEEE Transactions on Power Electronics*, 2018, 33(2): 911-916.
- [9] KANJIYA P, KHADKIKAR V, MOURSI M S E. Obtaining performance of type-3 phase-locked loop without compromising the benefits of type-2 control system[J]. *IEEE Transactions on Power Electronics*, 2018, 33(2): 1788-1796.
- [10] SE-KYO C. A phase tracking system for three phase utility interface inverters[J]. *IEEE Transactions on Power Electronics*, 2000, 15(3): 431-438.
- [11] 洪小圆, 吕征宇. 基于同步坐标系的三相数字锁相环[J]. *电工技术学报*, 2012, 27(11): 203-210.
HONG Xiaoyuan, LÜ Zhengyu. Three-phase digital phase-locked loop based on synchronous reference frame[J]. *Transactions of China Electrotechnical Society*, 2012, 27(11): 203-210.
- [12] 叶吉亮, 李岚, 刘海霞, 等. 电网电压不平衡及谐波状态下的并网逆变器控制策略[J]. *电力系统保护与控制*, 2018, 46(6): 113-119.
YE Jiliang, LI Lan, LIU Haixia, et al. Control strategy of grid-connected inverter under unbalanced and harmonic voltage condition[J]. *Power System Protection and Control*, 2018, 46(6): 113-119.
- [13] 吉正华, 韦芬卿, 杨海英. 基于 dq 变换的三相软件锁相环设计[J]. *电力自动化设备*, 2011, 31(4): 104-107.
JI Zhenghua, WEI Fenqing, YANG Haiying. Three-phase software phase-locked loop based on dq reference frame[J]. *Electric Power Automation Equipment*, 2011, 31(4): 104-107.
- [14] RODRIGUEZ P, TEODORESCU R, CANDELA I, et al. New positive-sequence voltage detector for grid synchronization of power converters under faulty grid conditions[C] // 37th IEEE Power Electronics Specialists Conference, June 18-22, 2006, Jeju, South Korea: 1-6.
- [15] RODRIGUEZ P, POU J, BERGAS J, et al. Decoupled double synchronous reference frame PLL for power converters control[J]. *IEEE Transactions on Power Electronics*, 2006, 22(2): 548-592.
- [16] 张纯江, 赵晓君, 郭忠南, 等. 二阶广义积分器的三种改进结构及其锁相环应用对比分析[J]. *电工技术学报*, 2017, 32(22): 42-49.
ZHANG Chunjiang, ZHAO Xiaojun, GUO Zhongnan, et al. Three improved second order generalized integrators and the comparative analysis in phase locked loop application[J]. *Transactions of China Electrotechnical Society*, 2017, 32(22): 42-49.
- [17] 王宝诚, 伞国成, 郭小强, 等. 分布式发电系统电网同步锁相环技术[J]. *中国电机工程学报*, 2013, 33(1): 50-55.
WANG Baocheng, SAN Guocheng, GUO Xiaoqiang, et al. Grid Synchronization and PLL for distributed power generation systems[J]. *Proceedings of the CSEE*, 2013, 33(1): 50-55.
- [18] KHAZRAJ H, SILVA F F, BAK C L, et al. Analysis and design of notch filter-based PLLs for grid-connected applications[J]. *Electric Power Systems Research*, 2017,

- 147(2): 52-69.
- [19] 郭磊, 王丹, 刁亮, 等. 针对电网不平衡与谐波的锁相环改进设计[J]. 电工技术学报, 2018, 33(6): 1390-1399.
GUO Lei, WANG Dan, DIAO Liang, et al. A modified design of phase-locked loop for unbalanced and distorted grid voltage conditions[J]. Transactions of China Electrotechnical Society, 2018, 33(6): 1390-1399.
- [20] GUO Xiaoqiang, WU Weiyang, CHEN Zhe. Multiple-complex coefficient-filter-based phase-locked loop and synchronization technique for three-phase grid-interfaced converters in distributed utility networks[J]. IEEE Transactions on Industrial Electronics, 2011, 58(4): 1194-1204.
- [21] GOLESTAN S, RAMEZANI M, JOSEP M, et al. Moving average filter based phase-locked loops: performance analysis and design guidelines[J]. IEEE Transactions on Power Electronics, 2014, 32(3): 1894-1907.
- [22] GOLESTAN S, FREIJEDO F D, VIDAL A, et al. A quasi-type-1 phase-locked loop structure[J]. IEEE Transactions on Power Electronics, 2014, 29(12): 6264-6270.
- [23] WANG Y F, YUN W L. Analysis and digital implementation of cascaded delay-signal-cancellation PLL[J]. IEEE Transactions on Power Electronics, 2011, 26(4): 1067-1086.
- [24] GOLESTAN S, RAMEZANI M, GUERRERO J M, et al. *dq*-frame cascaded delayed signal cancellation based PLL: analysis, design, and comparison with moving average filter based PLL[J]. IEEE Transactions on Industrial Electronics, 2015, 30(3): 1618-1632.
- [25] 罗韡, 姜建国, 周中正. 基于频率自适应改进型梳状滤波器的并网锁相环技术[J]. 电力系统自动化, 2017, 41(20): 97-103.
LUO Wei, JIANG Jianguo, ZHOU Zhongzheng. Grid-connected phase-locked loop based on frequency adaptive improved comb filter[J]. Automation of Electric Power Systems, 2017, 41(20): 97-103.
- [26] GOLESTAN S, JOSEP M, GEVORK B, et al. Five approaches to deal with problem of DC offset in phase-locked loop algorithms: design considerations and performance evaluations[J]. IEEE Transactions on Power Electronics, 2016, 30(1): 648-661.
- [27] WANG Jinyu, LIANG Jun, GAO Feng, et al. A method to improve the dynamic performance of moving average filter based PLL[J]. IEEE Transactions on Power Electronics, 2015, 30(10): 5978-5990.
- [28] 刘远帆, 肖先勇, 任杰, 等. 不对称故障相位跳变和波形点对 DFIG 转子电压的影响[J]. 电力科学与技术学报, 2018, 33(2): 73-82.
LIU Yuanfan, XIAO Xianyong, REN Jie, et al. Impacts of phase angle jump and point on wave during asymmetrical fault on rotor voltage of DFIG[J]. Journal of Electric Power Science and Technology, 2018, 33(2): 73-82.
- [29] 杨晓梅, 刘欢, 闻枫, 等. 光伏微电网孤岛运行模式下冲击负荷跟踪补偿控制[J]. 电力科学与技术学报, 2019, 34(4): 115-122.
YANG Xiaomei, LIU Huan, WEN Feng, et al. Tracking and compensating control of impulse load for PV microgrid in the islanding operation mode[J]. Journal of Electric Power Science and Technology, 2019, 34(4): 115-122.

收稿日期: 2019-08-13; 修回日期: 2019-10-21

作者简介:

王佳浩(1993—), 男, 硕士研究生, 研究方向为新能源并网锁相环技术; E-mail: 229809508@qq.com

潘欢(1983—), 男, 通信作者, 副教授, 研究方向为复杂电网建模与分析、新能源协同并网; E-mail: pan198303@gmail.com

纳春宁(1979—), 女, 博士研究生, 副教授, 研究方向为电力系统综合性能评价。E-mail: nana508@163.com

(编辑 葛艳娜)