

DOI: 10.7667/PSPC180711

基于自适应采样算法及数据处理的过程层设备时延优化设计

李旭¹, 倪传坤¹, 李宝伟¹, 马和科¹, 邓茂军¹, 詹智华²

(1. 许继集团, 河南 许昌 461000; 2. 中国电力科学研究院国家电网仿真中心动模实验室, 北京 100192)

摘要: 智能变电站与传统变电站相比, 二次保护系统中增加了过程层设备合并单元及智能终端, 引起了保护设备动作时间变慢。提出将合并单元的单一插值采样算法改为同步采样算法与插值算法相结合, 基于同步状态自适应调整采样算法, 减小了合并单元内部采样数据的处理时延。针对智能终端的CPU插件进行了改进, 由FPGA完成GOOSE组播过滤、网络风暴功能, CPU负责处理GOOSE的接收与发送, 同时采用MOSFET光电耦合继电器作为启动继电器, 通过优化设计减少了智能终端的出口时间。基于上述设计, 研制了新型过程层装置, 并对比开展了动模仿真及静模仿真验证。仿真试验结果表明, 新研制的过程层装置配合线路保护装置的整体动作时间相比优化前减少3 ms, 能够满足GB/T-14285标准对继电保护装置整组动作时间的要求。

关键词: 采样算法; 时延优化; 继电保护; 过程层设备; 通信机制

Optimal design of process level device delay based on self-adaption sampling algorithm and data processing

LI Xu¹, NI Chuankun¹, LI Baowei¹, MA Heke¹, DENG Maojun¹, ZHAN Zhihua²

(1. XJ Group Corporation, Xuchang 461000, China; 2. Dynamic Test Laboratory of State Grid Simulation Center, China Electric Power Research Institute, Beijing 100192, China)

Abstract: Compared with the traditional substation, the system has added the process layer equipment merging unit and the intelligent terminal, which causes the time of the protection equipment to move slowly. In this paper, a single interpolation sampling algorithm is proposed to combine the synchronous sampling algorithm with the interpolation algorithm. Based on synchronous state adaptive adjustment sampling algorithm, the processing delay of the internal sampling data is reduced. The CPU plug-in of the intelligent terminal is improved and the GOOSE multicast filtering and network is completed by FPGA. The function of the winding storm, CPU is responsible for the reception and transmission of GOOSE, and the MOSFET photoelectric coupling relay is used as the starting relay, and the exit time of the intelligent terminal is reduced by the optimization design. On this basis, a new process layer device is developed, and the dynamic model simulation and static model simulation are compared. The simulation test results show that the newly developed process layer device can reduce the 3 ms before optimizing the whole action time of the line protection device, and can meet the whole group action time of the GB/T-14285 standard for the relay protection device.

This work is supported by Science and Technology Project of State Grid Corporation of China (No. 52020116000L).

Key words: sampling algorithm; time delay optimization; relay protection; process level equipment; communication mechanism

0 引言

智能变电站继电保护系统动作时间对电网的安全稳定运行具有重要意义。近年来国内的研究主要

集中在过程层网络结构优化^[1-3]、系统可靠性分析^[4-7]等方面, 文献[1]分析了智能变电站网络通信和二次设备构成等方面的保护可靠性问题。文献[3]对不同过程层结构下保护系统的结构特点进行分析, 并对今后的研究方向提出了建议和设想。相对于传统变电站继电保护而言, 智能变电站继电保护装置的模拟量采集环节和出口环节下放至过程层设备完成,

基金项目: 国家电网公司科技项目资助(52020116000L)“智能变电站保护动作时延及其控制技术优化研究”

在保护原理不变情况下, 保护装置整组动作速度理论上比常规变电站变慢。

本文在分析智能变电站过程层设备各环节处理时延的基础上, 分别对过程层设备合并单元采样延时以及智能终端动作出口时间进行了优化设计。从易于实现、安全可靠的角度考虑, 针对合并单元, 采取了自适应切换模拟量数据采样的方法, 同时优化了内部采样数据在合并单元的驻留延时; 针对智能终端, 对 CPU 插件进行了改进, 由 FPGA 完成 GOOSE 组播过滤、网络风暴功能, CPU 负责处理 GOOSE 的接收与发送, 同时采用 MOSFET 光电耦合继电器作为启动继电器, 减少了智能终端的出口时间。

在项目的研制过程中, 同时联合一次设备厂家, 对断路器的动作时间也进行了优化设计。本项目研制了具有短延时特征的合并单元、智能终端、断路器, 并在中国电科院进行了对比仿真测试。试验数据表明, 新研制的智能变电站继电保护系统相比优化前整组动作时延减少 3 ms 左右, 总体动作时延能够满足 GB14285 标准对继电保护整组动作时间的要求。

1 智能变电站过程层设备及保护时延分析

目前智能变电站的保护系统主要结构如图 1 所示。

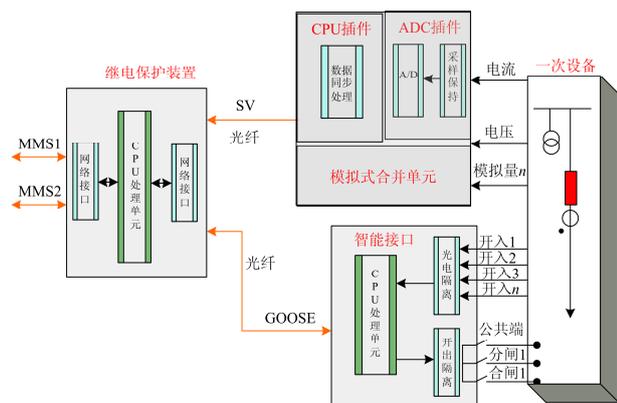


图 1 智能变电站保护系统图

Fig. 1 Intelligent substation protection system diagram

由图 1 可知, 智能变电站由于增加了过程层合并单元和智能终端两个环节, 增加了继电保护装置的整组动作时间。继电保护装置整组动作时间是从故障发生至保护动作信号传至开关跳闸线圈的时间。常规变电站保护整组动作时间就是保护装置自身的动作时间, 智能变电站保护整组动作时间包括合并单元采样时间、合并单元采样数据传输时间、

保护装置动作时间、保护装置到智能终端的信号传输时间、智能终端动作时间。具体如图 2 所示。

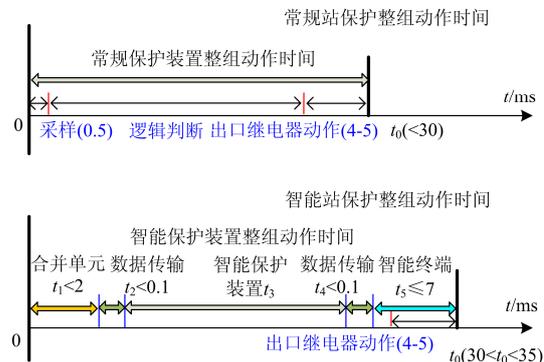


图 2 常规站、智能站继电保护动作时间

Fig. 2 Relay protection operation time of conventional station and intelligent station

智能变电站保护装置和常规变电站保护相比, 动作时间一般增加 3~5 ms, 如图 2 所示, 主要在以下几个方面增加了延时。

1) 采样环节: 常规保护采样由保护自身完成, 时间一般小于 0.5 ms, 智能保护装置采样需要两个合并单元级联实现, 采样时间约 2 ms, 增加了 1.5 ms。

2) 逻辑判断环节: 智能保护装置在处理合并单元数据时, 增加了数字滤波、采样插值及同步处理环节, 在逻辑算法环节增加了内部信息缓冲、传输、处理时间。具体时间各厂家实现技术不同, 时间也不相同, 与传统保护相比, 增加不大于 1 ms。

3) 动作出口环节: 智能保护跳闸由智能终端完成, 动作时间约 7 ms(含信息处理时间 2 ms 和出口继电器动作时间(一般是 5 ms 左右)), 而常规站保护仅有出口继电器动作时间(一般是 5 ms 左右)。

2 过程层设备优化方案

2.1 合并单元输出延时构成

合并单元的整个输出延时主要由低通滤波及 AD 采样延时、重采样计算延时、SV 接收、SV 发送延时组成。

目前合并单元装置的采样数据内部数据流及各处理环节如图 3 所示。

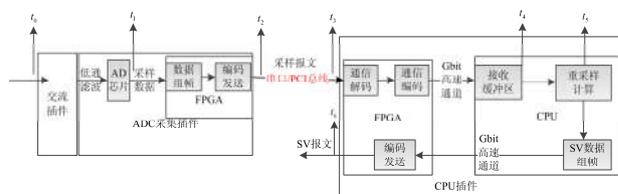


图 3 合并单元数据处理环节示意图

Fig. 3 Data processing link of the merging unit

图 3 中合并单元采样数据内部流各节点含义见表 1。

表 1 时间节点释义

Table 1 Meaning of time node

时间节点	含义
t_0	交流插件输入时刻
t_1	低通滤波+AD 转换时刻
t_2	ADC 插件 FPGA 采样数据组帧发送时刻
t_3	CPU 插件 FPGA 收到采样报文头时刻
t_4	CPU 从接收缓冲区读到报文时刻
t_5	重采样计算时刻
t_6	FPGA 发送 SV 时刻

考虑整个采样环节的延时, 现阶段工程应用的合并单元采样延时为预设值, 一般输出延时设置为 750~1 000 μs 。

2.2 合并单元输出延时的优化措施

针对合并单元采样环节的延时构成, 主要对数据采样机制和采样数据在合并单元内部的驻留延时进行优化。

1) 合并单元自适应采样算法

由于目前工程实际接线中合并单元都要求接入 GPS, 考虑修改现有合并单元本地采样算法, 由单一插值采样算法改为同步采样算法与插值算法自适应切换, 在装置收到 GPS 定时信号时, 采用同步采样法, 省去了重采样计算的数据等待及对齐时间。在外部定时信号消失后, 装置切换为插值算法, 采用自适应的采样算法后, 在外部接入 GPS 正常运行时, 可以使采样环节的延时减小到 250 μs 。插值算法为目前合并单元常用算法, 不再论述, 同步采样算法如下:

合并单元按照每秒 4 000 点采样设计, CPU 板卡固定以 250 μs 的周期定时发送同步脉冲至 ADC 采集插件。ADC 采集插件以当前同步脉冲为基准获得采样数据并发送给 CPU 插件, CPU 获得各采样通道数据后无需缓存即可开始 SV 组帧逻辑, 完全省去了重采样计算过程。图 4 为合并单元同步采样示意图。

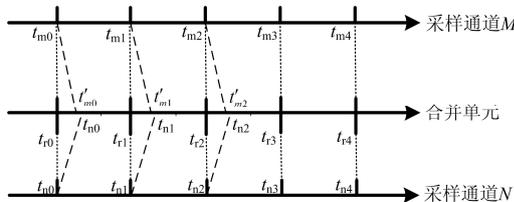


图 4 合并单元同步采样示意图

Fig. 4 Synchronous sampling schematic of merging unit

如图 4 中所示, 采样通道 M 、 N 的采样时刻 t_{mk} 、 t_{nk} 与合并单元的同步脉冲的产生时刻 t_{rk} (其中 k 取值为 0, 1, 2, ...) 是完全一致的。若合并单元 CPU 收到各通道采样数据的时刻 t'_{mk} 、 t'_{nk} 没有越过下一个同步脉冲产生时刻 $t_{r(k+1)}$, 则合并单元的输出延时只包含 SV 发送延时部分, 完全消除了重采样延时。

2) 合并单元采样数据内部驻留延时优化

合并单元采样数据内部驻留延时与软件任务调度以及内部数据通信机制等有关^[8-9], 由于软件任务调度过程存在离散性, 不能保证当前计算结果可以立即发送, 同时还需考虑 SV 组帧所消耗的时间以及 CPU 与 FPGA 之间的数据传输延时, 方可保证整个发送逻辑的顺利完成。

目前, 合并单元 ADC 采集插件与主 CPU 插件之间的通信一般以串口通信的方式传输数据, 通信协议采用 FT3 协议, 通信报文传输速率设置为 10 Mbits/s, 传输一个字节所需的时间为 0.8 μs , 所以传输延时计算公式为报文长度 \times 0.8 μs , SV 传输模拟量采样值类型数据报文的格式很固定, 对于 1 个线路间隔 SV 报文最大长度=基本长度 50 bytes+APDU 内部标识长度 93 bytes(最大)+采样数据长度 17×8 bytes=279 bytes, 报文的内部传输延时为 223.2 μs , 采用高速总线 PCI express 通信技术后, 其数据传输波特率可达 2.5 Gbit/s, 板间数据传输延时根据数据长度可优化到 1 μs 左右。

综上所述, 通过优化采样算法以及提高采样数据传输总线速率, 可以使合并单元延时缩短, 但考虑 SV 数据组帧以及低通滤波采样回路的延时固定, 因此优化后的采样延时设置为 500 μs , 相比之前减少 500 μs , 即一级合并单元延时不大于 500 μs , 级联后合并单元延时不大于 1 000 μs 。

2.3 智能终端动作时间优化

1) GOOSE 接收处理延时优化

智能终端作为继电保护的出口环节, 主要的动作时间包括: GOOSE 接收处理延时和继电器动作时间。GOOSE 报文接收处理延时与装置处理能力有关, 在智能终端接收保护装置报文时, 由于需要考虑防止 GOOSE 报文量过大引起网口溢出, 造成丢失报文或导致处理时间过长的问题, 智能终端设计时需要增加相应的处理, 额外增加了 GOOSE 处理时间。

在智能终端原有方案设计中, CPU 插件的以太网模块采用工业以太网芯片(MAC+PHY)模式, 图 5 为现有的 CPU 插件硬件架构示意图。

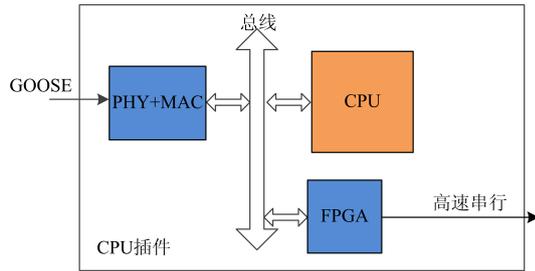


图 5 CPU 插件原架构示意图

Fig. 5 Schematic diagram of the original architecture of the CPU card

如图 5 所示, 此种模式虽然成熟可靠, 但不能定制过滤 GOOSE 网络风暴, FPGA 与 CPU 之间是总线接口, 在网络风暴极端工况下会导致大量的 GOOSE 无效流量进入 CPU, 引起 CPU 的过载运行, 同时需要 CPU 主动读取 FPGA 内存数据, 该过程会占用 CPU 大量的操作时间, 降低了软件处理时间的冗余度。

针对原有方案的不足, 对 CPU 插件进行优化设计, 采用“FPGA+PHY”的模式, 如图 6 所示。

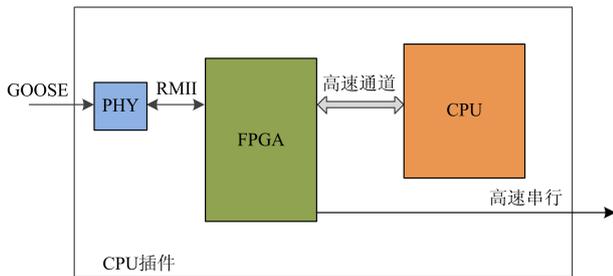


图 6 CPU 插件新架构示意图

Fig. 6 Schematic diagram of the new CPU plug-in architecture

由 FPGA 完成 GOOSE 报文的组播过滤和网络风暴抑制功能, 能够释放原有被 GOOSE 组播过滤和网络风暴抑制等功能所占用的 CPU 资源^[10-13], CPU 的任务调度时间由 120 μ s 可提高到 60 μ s, 加快了装置 GOOSE 逻辑处理延时。此外, FPGA 与 CPU 之间的通信方式也进行了改进, 采用了 Gbit/s 的双向高速 DMA 通道, 收发均不占用 CPU 操作时间, 缩短了 GOOSE 发送延时, 通信环节 GOOSE 处理延时可优化 300 μ s 左右。

2) GOOSE 驱动出口继电器回路设计优化

为了防止单一继电器损坏导致的装置误跳闸问题, 智能终端一般沿用常规继电保护的做法, 出口回路采用启动继电器+出口继电器模式。智能终端收到保护跳闸命令后, 需要同时触发启动继电器和出口继电器, 智能终端继电器出口时间需要 2 个继电器的动作时间之和, 增加了智能终端出口时间。

图 7 为智能终端出口回路示意图。

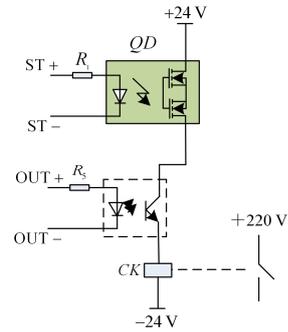


图 7 智能终端出口回路示意图

Fig. 7 Schematic diagram of the optimized exit loop

近些年, MOSFET 金属-氧化物半导体场效应晶体管广泛应用于数字开关电路中^[14-16], 具有动作速度快、动作时间稳定的特点。如图 7 所示, 新型智能终端的启动继电器采用 MOSFET 光电耦合继电器, 取代了传统的电控制继电器, 其典型动作时间小于 0.5 ms, 而传统的启动继电器一般动作时间 2~3 ms 左右, 通过改进启动回路的设计, 可以减少智能终端动作时间 2 ms 左右。

采用上述的优化措施后, 智能终端延时可减少 2.5 ms 左右, 智能终端的动作延时能够控制在 4.0 ms 以内。

3 样机研制

3.1 装置样机硬件系统

为了验证本文设计的合并单元及智能终端优化方案的正确性, 进行了通用硬件的样机研制。样机硬件框图如图 8 所示。

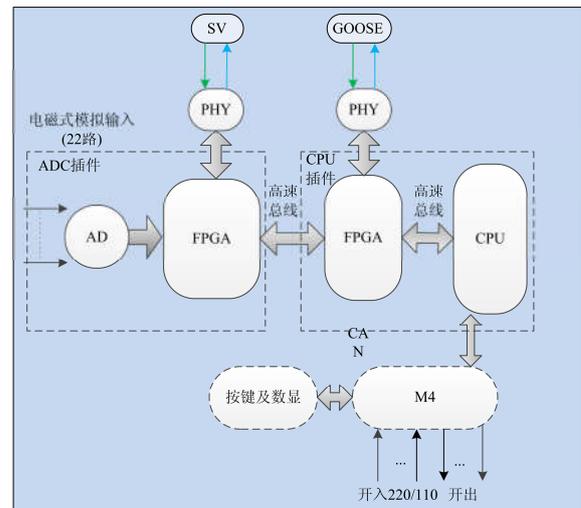


图 8 过程层装置的样机硬件框图

Fig. 8 Hardware block diagram of the prototype of the intelligent device

样机硬件系统采用 PowerPC 处理器加高性能 FPGA(大规模可编程门阵列)构架^[17-20]。PowerPC 处理器作为中央处理单元,主频可达 777 MHz,浮点运算速度快,内部以太网接口方便对外通信设计。FPGA 用于控制 AD 采样,并实现报文诊断及解析,将采样值取出并打包,通过 PCI express 总线发给中央处理器;PCI express 总线数据传输速率可达 2.5 Gbit/s,完全满足采样实时性要求。SV 输出采用以太网控制器加信号扩展模块实现,可扩展 8 个 SV 输出口,同时输出 8 路同样的 SV 报文。

3.2 试验样机合并单元软件研制

合并单元样机软件主要通过现有合并单元软件平台上修改采样数据同步算法。合并单元自适应采样数据同步算法流程图如图 9 所示。

图 9 中,合并单元采样数据处理程序首先判断是否收到外部 GPS,如流程②,确认收到三次后,认为 GPS 信号正常,装置进入流程⑦,采样方式切换为同步采样模式,否则判别当前装置采样方式是否采用插值算法,如果当前为插值采样方式,则继续进入流程③;若未收到 GPS 信号,流程⑤判断是否无外部 GPS 信号,确认三次后,进入流程⑧装置采用插值同步算法。

4 仿真系统验证

4.1 仿真系统搭建

为验证整体方案的可行性,联合中国电科院继保所分别搭建静模、动模仿真试验环境,测试了智能变电站延时优化前、后二次线路保护系统的动作时间指标。试验设备包括:常规的合并单元、智能

终端、线路保护装置以及断路器组成的一、二次系统,新研制的合并单元、智能终端、线路保护装置以及断路器组成的延时优化后的一、二次系统。项目联合了一次断路器设备制造厂,针对一次断路器动作时间也进行了优化设计,本次测试采用了优化后的断路器设备。

测试系统各设备连线示意图如图 10 所示。

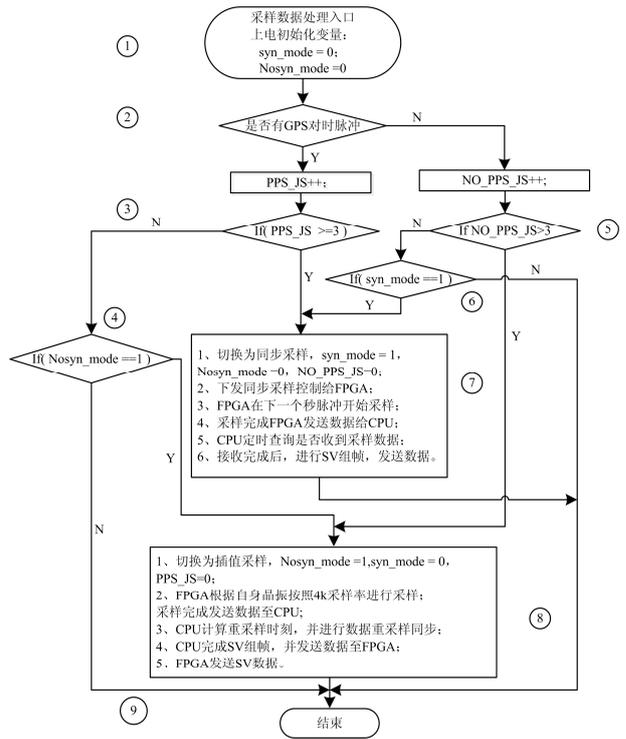


图 9 合并单元最优采样算法流程图

Fig. 9 Merge unit sampling data processing flow chart

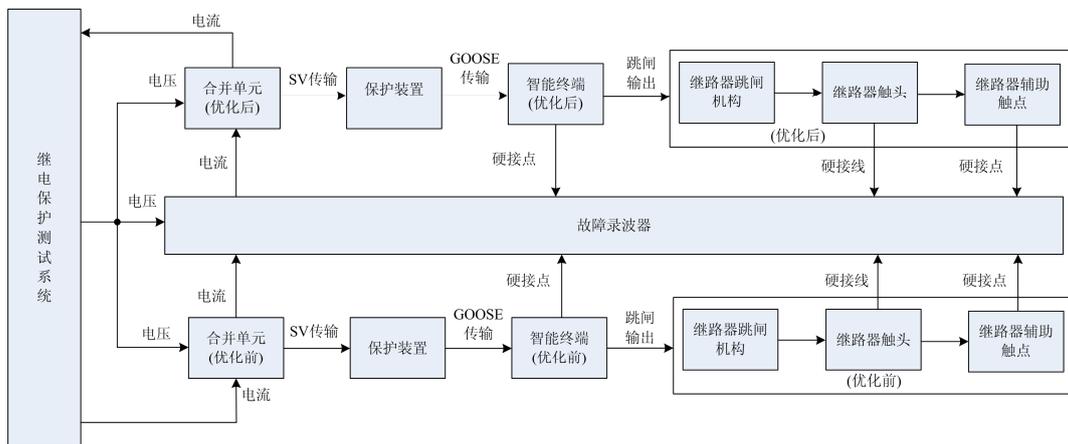


图 10 一、二次联合测试系统各设备接线

Fig. 10 Connection of each equipment in the test system

通过继电保护测试仪施加故障量,对优化前后的保护整组动作时间进行试验测试,优化前测试系

统中智能终端开出硬接点、断路器触头以及断路器辅助触点和优化后系统中智能终端开出硬接点、断

路器触头、断路器辅助触点均接入继电保护测试仪, 试验结果通过继电保护测试仪给出。

4.2 仿真实验结果

为了考核主保护动作时间, 本次试验中保护装置只投入差动保护功能, 施加故障电流 1.0 A, 保护装置突变量启动定值整定为 0.1 A, 差动启动定值整定为 0.3 A, 一、二次系统整组动作时间测试结果见表 2、表 3 所示。

表 2 一二次整组动作时间情况

Table 2 Action time of the primary and secondary whole groups

序号	类型	时间范围		
		智能终端	断路器触头	断路器辅助触点
1	优化前产品	19.0~20.6	48.3~50.0	49.4~51.4
2	优化后产品	16.0~17.6	42.4~44.2	43.2~44.8

表2中记录的测试数据为连续在不同合闸角 0~360°下, 施加30次故障的保护动作数据。表3所示为记录的平均动作时间。

表 3 一二次整组动作时间优化情况

Table 3 Optimization of action time of primary and secondary whole groups

序号	类型	平均时间		
		智能终端	断路器触头	断路器辅助触点
1	优化前产品	19.46	49.62	50.14
2	优化后产品	16.28	43.3	43.94
3	优化时间	3.18	6.32	6.2

从表 2、表 3 的数据可得出, 智能变电站优化后的一、二次整组动作时间较优化前平均缩短 6 ms 以上, 一、二次整组动作时间优化较为明显。新开发具备短延时特征的合并单元、智能终端和断路器设备通过整组试验的验证, 取得了预期效果。

5 结语

本文基于新一代智能变电站发展建设需求, 研究了智能变电站保护及过程层设备动作时延分布规律及主要影响因素, 提出了优化智能变电站过程层设备时延的解决方案。通过优化合并单元时延以及智能终端的动作出口时间, 达到了减少保护动作时延的目标。研制了具有短延时特征的合并单元和智能终端, 并通过搭建静态仿真、动态仿真系统测试了智能变电站延时优化前、后线路保护系统的动作时间指标, 实验数据显示, 通过时延优化后, 保护装置整组动作时间能减少 3 ms 以上, 优化指标已经达到预期目标。

通过本优化方案的应用, 虽然不能完全解决智能变电站继电保护动作时间较慢的问题, 但可在一定程度上减少继电保护整组动作延时。优化后的保护装置与常规变电站同类保护相比, 时延延长总体控制在 2~3 ms 之内, 能够满足 GB/T 14285 要求整组动作时间不大于 30 ms 的要求, 方案的实施为新一代智能变电站过程层设备时延优化研究进行了理论实践。

参考文献

- [1] 王同文, 谢民, 孙月琴, 等. 智能变电站继电保护系统可靠性分析[J]. 电力系统保护与控制, 2015, 43(6): 58-66.
WANG Tongwen, XIE Min, SUN Yueqin, et al. Analysis of reliability for relay protection systems in smart substation[J]. Power System Protection and Control, 2015, 43(6): 58-66.
- [2] 刘海峰, 赵永生, 李辉, 等. 基于全站同步时钟扩展装置的智能变电站同步整组试验方法的研究[J]. 电力系统保护与控制, 2015, 43(4): 150-154.
LIU Haifeng, ZHAO Yongsheng, LI Hui, et al. Study on the whole system synchronization testing method based on the clock extended device in smart substation[J]. Power System Protection and Control, 2015, 43(4): 150-154.
- [3] 张旭泽, 郑永康, 康小宁, 等. 智能变电站继电保护系统所面临的若干问题[J]. 电力系统保护与控制, 2018, 46(6): 90-96.
ZHANG Xuze, ZHENG Yongkang, KANG Xiaoning, et al. Several problems of intelligent substation relay protection system[J]. Power System Protection and Control, 2018, 46(6): 90-96.
- [4] 张炳达, 王岚禹. 基于 FPGA 的变电站实时仿真培训系统[J]. 电力系统保护与控制, 2017, 45(6): 55-61.
ZHANG Bingda, WANG Lanyu. Real-time simulation training system for substation based on FPGA[J]. Power System Protection and Control, 2017, 45(6): 55-61.
- [5] 胡宝, 张文, 李先彬, 等. 智能变电站嵌入式平台测试系统设计与应用[J]. 电力系统保护与控制, 2017, 45(10): 129-133.
HU Bao, ZHANG Wen, LI Xianbin, et al. Design and application of embedded platform test system in smart substation[J]. Power System Protection and Control, 2017, 45(10): 129-133.
- [6] 王超, 王慧芳, 张弛, 等. 数字化变电站继电保护系统的可靠性建模研究[J]. 电力系统保护与控制, 2013, 41(3): 8-13.
WANG Chao, WANG Huifang, ZHANG Chi, et al. Study of reliability modeling for relay protection system in digital substations[J]. Power System Protection and Control, 2013, 41(3): 8-13.

[7] 张智锐, 肖繁, 焦邵麟, 等. 不同过程层网络结构的保护系统可靠性分析[J]. 电力系统保护与控制, 2013, 41(18): 142-148.
ZHANG Zhirui, XIAO Fan, JIAO Shaolin, et al. Reliability evaluation of protection relay system based on process layer network[J]. Power System Protection and Control, 2013, 41(18): 142-148.

[8] 郭伟, 张红超, 于朝辉. 电子式互感器模拟输出校准系统[J]. 电力系统保护与控制, 2010, 38(6): 49-51.
GUO Wei, ZHANG Hongchao, YU Zhaohui. A calibration system for electrical transformers with analog output[J]. Power System Protection and Control, 2010, 38(6): 49-51.

[9] 乔洪新, 黄少锋, 刘勇. 基于二次插值理论电子式互感器数据同步的研究[J]. 电力系统保护与控制, 2009, 37(15): 49-52.
QIAO Hongxin, HUANG Shaofeng, LIU Yong. Discussion on data synchronization of electronic current transducer based on quadratic interpolation[J]. Power System Protection and Control, 2009, 37(15): 49-52.

[10] 魏勇, 罗思需, 施迪, 等. 基于 IEC61850-9-2 及 GOOSE 共网传输的数字化变电站技术应用于分析[J]. 电力系统保护与控制, 2010, 38(24): 146-152.
WEI Yong, LUO Sixu, SHI Di, et al. Research and application on digital substation based on IEC61850-9-2 and GOOSE communication in one network[J]. Power System Protection and Control, 2010, 38(24): 146-152.

[11] 闫志辉, 周水斌, 郑拓夫. 新一代智能站合并单元智能终端集成装置研究[J]. 电力系统保护与控制, 2014, 42(14): 68-71.
YAN Zhihui, ZHOU Shuibin, ZHENG Tuofu. Study of device with merging unit and intelligent terminal for new intelligent substation[J]. Power System Protection and Control, 2014, 42(14): 68-71.

[12] 宴玲, 李伟, 曹津平. 采用 FPGA 实现合并单元同步采样的方案[J]. 电力自动化设备, 2010, 30(10): 126-128.
YAN Ling, LI Wei, CAO Jinping. Synchronized sampling of merging unit with FPGA[J]. Electric Power Automation Equipment, 2010, 30(10): 126-128.

[13] 倪兆瑞, 王延安. 智能变电站合并单元延时特性现场测试仪的设计[J]. 电力系统保护与控制, 2014, 42(10): 119-124.
NI Zhaorui, WANG Yanan. Design of field testing instrument for merging unit delay characteristics in smart substation[J]. Power System Protection and Control, 2014, 42(10): 119-124.

[14] 刘昊昱, 左群业, 张保善. 智能变电站过程层网络性能测试与分析[J]. 电力系统保护与控制, 2012, 40(18): 112-116.
LIU Haoyu, ZUO Qunye, ZHANG Baoshan. Process level network performance testing and analysis in smart substation[J]. Power System Protection and Control, 2012, 40(18): 112-116.

[15] 黄灿, 肖驰夫, 方毅, 等. 智能变电站中采样值传输延时的处理[J]. 电网技术, 2011, 35(1): 5-10.
HUANG Can, XIAO Chifu, FANG Yi, et al. A method to deal with packet transfer delay of sampled value in smart substation[J]. Power System Technology, 2011, 35(1): 5-10.

[16] 李文俊, 程志伟, 薛忠新, 等. 基于光纤通信的防越级跳闸方案设计和应用[J]. 电力系统保护与控制, 2015, 43(21): 131-135.
LI Wenjun, CHENG Zhiwei, XUE Zhongxin, et al. Design and application on preventing override trip system based on fiber-optic communication[J]. Power System Protection and Control, 2015, 43(21): 131-135.

[17] 殷志良, 刘万顺, 杨奇逊, 等. 一种遵循 IEC 61850 标准的合并单元同步的实现新方法[J]. 电力系统自动化, 2004, 28(11): 57-61.
YIN Zhiliang, LIU Wanshun, YANG Qixun, et al. New method for implementing the synchronization of merging unit according to the IEC 61850 standard[J]. Automation of Electric Power Systems, 2004, 28(11): 57-61.

[18] 吴涛, 周有庆, 曹志辉, 等. 新型电子式电压互感器及其误差分析[J]. 电网技术, 2010, 34(4): 209-213.
WU Tao, ZHOU Youqing, CAO Zhihui, et al. A new type of electronic voltage transformer and its error analysis[J]. Power System Technology, 2010, 34(4): 209-213.

[19] 杨锐. 电子式电压互感器行波传变特性研究[D]. 济南: 山东大学, 2014.
YANG Rui. The research on electronic voltage transducer's transfer characteristics on travelling waves[D]. Jinan: Shandong University, 2014.

[20] 易永辉, 王雷涛, 陶永健. 智能变电站过程层应用技术研究[J]. 电力系统保护与控制, 2010, 38(21): 47-50.
YI Yonghui, WANG Leitao, TAO Yongjian. Process level application scheme in smart substation[J]. Power System Protection and Control, 2010, 38(21): 47-50.

收稿日期: 2018-06-12; 修回日期: 2018-07-25

作者简介:

李旭(1977—), 男, 硕士, 高级工程师, 研究方向为电力系统保护等; E-mail: xjtc_lixu@126.com

倪传坤(1980—), 男, 硕士, 高级工程师, 研究方向为电力系统保护与控制等;

李宝伟(1984—), 男, 硕士, 高级工程师, 研究方向为电力系统保护等。

(编辑 葛艳娜)