

基于 MiniISA 总线的厂用电快速切换装置的研发与应用

刘文亮¹, 唐昆明¹, 张太勤²

(1. 重庆大学输配电装备及系统安全与新技术国家重点实验室, 重庆 400044; 2. 重庆新世纪电气有限公司, 重庆 400030)

摘要: 为了提高厂用电快速切换装置的硬件扩展性和功能通用性, 提出了一种基于 MiniISA 总线的厂用电快速切换装置的设计方案, 核心设计思路是将系统主模块、模拟量输入模块以及开关量输入输出模块等通过现场可编程门阵列 (FPGA) 构成基于 MiniISA 标准的智能总线接口, 从而可以大大提高各模块之间的数据交换速度, 并使装置模块可根据不同应用场合自由组合和扩展。借助于 MiniISA 总线结构不仅能满足快切装置可靠性和通用性的要求, 而且能缩短开发周期, 更易于后期的维护和升级。

关键词: 厂用电; 快速切换; 精简工业标准结构总线; 现场可编程门阵列; 模块化

Research and application of auxiliary power fast transfer device based on MiniISA bus

LIU Wen-liang¹, TANG Kun-ming¹, ZHANG Tai-qin²

(1.State Key Laboratory of Power Transmission Equipments & System Security and New Technology, Chongqing University, Chongqing 400044, China; 2.Chongqing New Century Electrical CO., LTD, Chongqing 400030, China)

Abstract: To improve the hardware expansibility and functional commonality of power plant fast transfer devices, this paper proposes a design proposal for power plant fast transfer device based on MiniISA bus. The main idea is to form a standardized MiniISA intelligent interface module through Field Programmable Gate Array (FPGA) by using the system board module, the analogue input module and the I/O module, thereby which greatly improves data exchange speed among the modules, and according to different applications the module can be combined freely and expanded. Using MiniISA bus not only meets the requirements of reliability and commonality of fast transfer device, but also shortens development cycle. What's more, it is easier to upper maintain and update.

Key words: auxiliary power; fast transfer; MiniISA; FPGA; modularization

中图分类号: TP23 文献标识码: A 文章编号: 1674-3415(2010)23-0215-04

0 引言

厂用电系统的安全可靠是发电机组安全运行的基础, 厂用电快速切换装置 (简称厂用电快切装置) 是保证厂用电正常切换、异常工况切换及事故处理切换的自动控制装置, 切换的快速性及可靠性是对快速切换装置的基本要求^[1]。然而发电厂厂用主接线分为单元接线、扩大单元接线、单母线分段三种方式, 对快切装置的模拟通道、开关量输入输出数量的需求及逻辑功能的配置上存在较大差异。大多数快切装置的模拟通道、开关量输入输出数量都与软件绑定受到限制, 要么通道较少无法满足各种主接线快切要求, 必须根据具体应用场合定制的硬件软件, 要么硬件设计配置较大, 浪费较多的硬件资

源并且带来多余的故障隐患, 因此采用标准化功能模块的平台化设计思路, 构建硬件模块即插即用、软件功能灵活配置, 自动适应各种主接线形式的厂用电快切装置成为用户的期望所在。

基于精简工业标准结构 (Mini Industrial Standard Architecture, MiniISA) 总线和多片现场可编程门阵列 (Field Programmable Gate Array, FPGA) 的硬件平台设计就是为了满足厂用电快速切换装置的通用性及应用的灵活性而构建的。基于 MiniISA 总线可以很容易实现嵌入式系统模块化、标准化和智能化的设计, 使用 MiniISA 总线结构组建系统时, 只需根据需求, 增减模块即可实现应用的灵活配置, 并可以缩短产品的开发周期, 降低开发成本。FPGA 实现各模块与总线之间的逻辑电平转换, 构成基于 MiniISA 标准的智能总线接口, 为各模块提供通用的访问模式, 实现各模块之间高速的数据交换。可

基金项目: 国家“111计划”项目 (B08036)

以有效解决厂用电快切装置扩展性差、可靠性的问题。

1 MiniISA 总线

MiniISA 总线是在 PC104 总线基础上为嵌入式系统应用的特殊要求而精简优化的一种总线结构, 也称精简 PC104 总线, 总计 40 条总线接口。它兼容 PC104 总线; 支持 8/16 位数据总线, 具有 8 位地址总线; 具有 4 个独立的中断请求信号。MiniISA 总线采用“主-从”式结构, 在一条 MiniISA 总线上只有一个总线主控制器, 其他的模块为从器件处于被动状态。MiniISA 总线被定义成 2×20 (共 40 引脚) 的接口, 包括数据总线、地址总线、控制信号线、I²C 总线和电源^[2]。

MiniISA 总线结构可实现一个主控制器控制多块从模块, 如图 1 所示。MiniISA 总线具有 8 根地址线, 最多支持 256 块 8 位总线扩展板或者 128 块 16 位总线扩展板。MiniISA 的总线资源主要包括总线地址资源和中断请求 (IRQ) 通道, MiniISA 总线有 256 个字节寻址空间和 4 路 IRQ 通道。使用高位地址总线作为板级片选译码线, 地位地址作为板内设备寄存器寻址线, 可以充分利用总线资源。

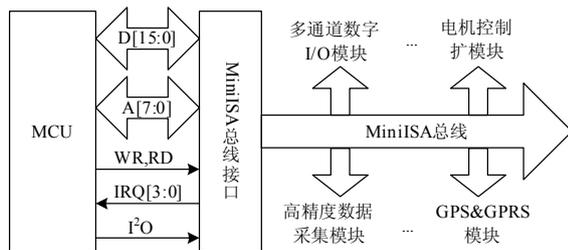


图 1 MiniISA 总线系统结构

Fig.1 System structure of MiniISA bus

2 装置的硬件实现

装置硬件主要包括主模块、模拟量输入模块、数字量输入输出模块和人机界面模块等, 为了实现装置的智能模块结构, 通过在各模块中内置 FPGA 以及基于 MiniISA 总线标准的接口设计, 内置 FPGA 对各模块 I/O 端口进行控制, 实现 I/O 数据的缓存, 从而降低模块对于 MiniISA 接口主机的依赖, 节省主机处理数据的时间, 保证 MiniISA 系统更加高效运行, 提高各模块的数据交换能力, 此外内置 FPGA 还可以随采集数据或者输出数据进行进一步处理, 灵活满足实际应用或定制化的需要。其硬件结构框图如图 2 所示。

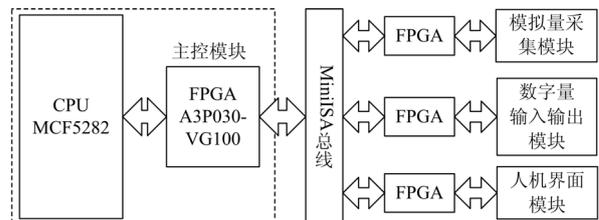


图 2 硬件结构图

Fig.2 Hardware structure diagram

2.1 主模块

该模块采用 CPU+FPGA 的构架, 该结构既发挥了传统 CPU 编程简单, 内部资源多样的特点, 又充分利用了 FPGA 独有的实时性强, 口线配置灵活方便的特点, 极大地提高了系统的可扩展性及处理速度。此外, FPGA 内部具有丰富的触发器和 I/O 引脚, 同时具有静态可重复编程和动态在系统重构的特性, 可极大提高设计的灵活性和通用性, 产品开发成熟后, 如果采用 ASIC 芯片更能极大地节省成本。主模块除了负责对数据的计算和分析、发出各种跳闸合闸命令、通过通信接口与上位机进行通信, 还作为 MiniISA 总线的主控制器, 总线上的所有控制信号都由它产生。

CPU 采用 Motorola 推出的 ColdFire 系列 32 位 MCF5282 微处理器。该芯片具有可靠性强, 处理速度快, 内部资源丰富且不需要外扩存储器的优点, 因此选择其作为装置的主 CPU, 可以尽量精简外部扩展器件, 从而提高硬件可靠性及抗干扰能力^[3]。FPGA 芯片采用 Actel 的 A3P030-VG100。与其他公司的 FPGA 芯片相比, Actel 公司的 FPGA 芯片不需要外扩配置芯片, 可靠性高, 且相对成本较低。

2.2 模拟量采集模块

数据采集模块有前端信号处理部分、两个高速模数转换器、FPGA 组成。FPGA 的主要功能在于实现双通道数据的缓存和数据传输的逻辑控制。FPGA 内部配置 FIFO 存储器, FIFO 具有两套数据线和地址线, 可在其一端写操作而在另一端进行读操作, 数据在其中顺序移动, 可以达到很高的传输速度和效率。模数转换器采用电荷重分布技术的逐次逼近型模数转换器 AD976A。由于电容网络直接使用电荷作为转换参量, 而且这些电容已经达到了采样电容的作用, 因而不必另加采样保持器, 可以简化前置电路^[4]。

2.3 开关量输入输出模块

传统快切装置一般将开入开出量设计在主板上, 无法根据需要进行模块扩展, 本方案将从主模块上分离出来, 每块数字量输入输出模块均包含 8 路开关量输入及 8 路开关量输出, 在单元接线的厂

用电应用时 1 块数字量输入输出模块就能满足快切装置的监测要求, 在扩大单元接线、单母线多电源快切应用时根据需要可以最多配置 4 块数字量输入输出模块, 达到 32 路开关量输入及 32 路开关量输出的规模。采用 MiniISA 总线实现的智能 I/O 接口可以实时地把开关量输入信息传递到主模块的 CPU 去供快切功能的逻辑判断, 同时将主模块的 CPU 的计算判断输出驱动相关的开关量出口。FPGA 电路对外实现 MiniISA 总线逻辑电平转换, 对内实现开关输入变化监测及去抖处理, 开关量输出的驱动及锁存。

2.4 人机接口模块

人机界面模块硬件结构主要由译码电路、时序转换电路、键盘电路、液晶模块组成。译码电路完成快切装置按键的片选译码, 时序转换电路主要完成 MiniISA 总线时序到液晶模块时序的转换, 译码电路及时序转换电路均通过 FPGA 逻辑编程实现。通过对基于 FPGA 的操作即可控制液晶屏的显示和键盘键值的读取。屏幕采用分辨率为 320×240 的单色屏, 支持触摸屏操作功能和 8 个按键输入功能, FPGA 对外完成基于 MiniISA 总线的总线接口的逻辑电平转换, 完成地址总线、数据总线、控制总线的时序配合。

3 MiniISA 总线接口实现

3.1 MiniISA 总线主控器

在 MCF5282 微处理器上实现 MiniISA 总线, 要解决时序不匹配而导致的时序兼容性问题, 为此在 MCF5282 与 MiniISA 总线之间串联一片 FPGA^[5], 如图 3 所示。从而将 MCF5282 的总线时序统一转换成标准的 MiniISA 时序, 这样就解决了时序兼容性问题。

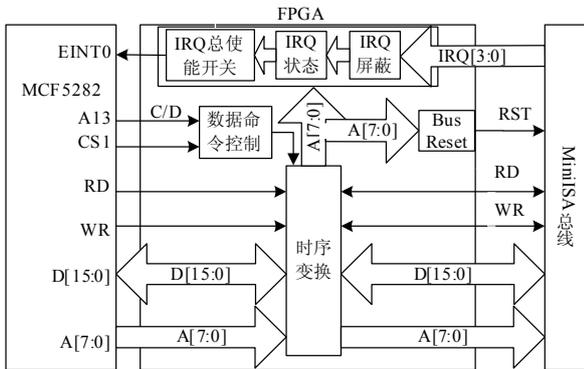


图 3 基于 MCF5282 的 MiniISA 总线主控电路

Fig.3 Master control circuit of MiniISA bus based on MCF5282

FPGA 芯片除了提供时序变换功能外, 还提供

了额外的 MiniISA 总线复位控制信号 RST 和 4 路 IRQ 中断请求信号。这样做节省了 MCF5282 的 GPIO 和外部中断引脚资源, 仅需一个外部中断就可以有中断信号产生, 这说明来自 MiniISA 总线上至少有 1 路以上 IRQ 请求, MCF5282 响应 EINT0 中断, 在中断服务函数中读取桥接器内部 IRQ 状态寄存器的值就可以知道是哪路 IRQ 请求, FPGA 和 MiniISA 总线初始化, 以及响应中断请求操作流程如图 4。

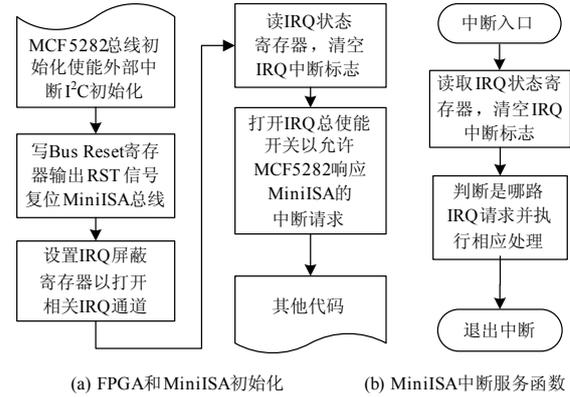


图 4 MiniISA 初始化和中断操作流程

Fig.4 Flow chart MiniISA initialization and interrupt operation

MCF5282 的地址线 A13 链接到桥接器 FPGA 的 C/D 脚上, 用来控制桥接器的状态。C/D 脚是桥接器的数据/命令控制脚, 当 C/D 脚为低电平时表明 MCF5282 在操作 MiniISA 总线, 当 C/D 脚为高电平时表明 MCF5282 在操作桥接器内部寄存器。

3.2 MiniISA 总线上各模块 FPGA 的配置

本文系统内有多片 FPGA 协同工作, 那么需要解决 FPGA 的配置问题, 本文选择主模块内的 FPGA 作为主 FPGA^[6], 由它在保持原有功能的同时, 代替传统下采用的 CPLD 器件完成对其他多片 FPGA 芯片的配置。主控 FPGA 主要完成三方面的工作: 通过总线从 Flash Memory 中读入数据对各模块内的 FPGA 进行配置; 在配置完成后, 让出总线并进入正常工作流程, 从而使系统开始正常工作流程。在电路设计中, 有待配置的 FPGA 连接在总线上, 若其配置成功后立即进入工作状态, 将会占用总线进行传输数据等操作, 使后面 FPGA 的配置无法进行。这就需要使所有 FPGA 都配置成功之前将已配置成功的 FPGA 芯片置于复位状态。

主控 FPGA 芯片的模块内部结构如图 5 所示。对于 Flash Memory 中配置数据的读操作主要由 Flash 读模块和 Reset 信号生成模块配合产生的逻辑时序完成, 配置各片 FPGA 的操作主要由 FPGA 控制模块和多路选择模块产生的对 FPGA 的配置时序完成, 由异步 FIFO 和 FPGA 接口完成两部分数据

的衔接。

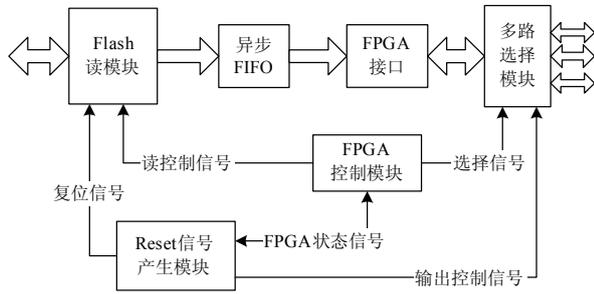


图 5 主控 FPGA 的内部结构

Fig.5 Internal structure of master control FPGA

4 应用

厂用电系统的接线方式设计原则是按机炉数量和容量来规划的。其接线方式又可分为单元接线、扩大单元接线、单元分段接线，根据这几种接线方式对厂用电快切装置的模拟通道、开关量输入输出数量的需求及逻辑功能的配置等存在较大差异，如表 1 所示。因此为了使基于 MiniISA 总线的硬件平台在不同应用情况实施快切功能，按每块模拟量 8 路，每块开入开出量 12 路信号，控制 6 个对象，可以根据需求增加模件，便可轻松实现产品升级。

表 1 不同厂用电接线方式的硬件配置

Tab.1 Hardware configuration in different auxiliary power connecting method

电厂接线方式	需快切的电机台数	端口需求数	模入量模件数	I/O 模件数
单元接线	引风机: 1; 送风机: 1 给水泵: 1; 循环泵: 1	AI: 8 ; DI: 12; DO: 12	1	1
扩大单元接线	引风机: 2; 送风机: 2 给水泵: 1; 循环泵: 1	AI: 16; DI: 16; DO: 16	2	2
单母线分段	引风机: 2; 送风机: 2 给水泵: 3; 循环泵: 4	AI: 16; DI: 26; DO: 26	2	3

AI-模拟量输入, DI-开关量输入, DO 开关量输出

5 结论

(1) 基于 MiniISA 总线可以很容易实现厂用电快速切换装置模块化、标准化、小型化和智能化的设计,从而在使用 MiniISA 总线结构组建系统时,只需根据需求增减模块即可实现产品的升级,真正实现模块的即插即用。由于各模块采用标准接口,因此各模块的软硬件可以同时开发,从而缩短了产品的开发周期,提高了可靠性,更易于装置的后期维护和扩展。

(2) 各模块与总线之间的逻辑配置通过 FPGA 实现,构成统一的访问模式,极大地提高了各模块之间数据交换速度,提高了装置的可靠性。

该结构的厂用电快切装置已成功运行于多个不同接线方式的厂用电系统中,经测试和运行结果证明,基于 MiniISA 总线设计的厂用电快速切换装置运行稳定可靠,配置灵活,插件互换性强,具有较好的实际应用价值。

参考文献

[1] 郭建,鲁国刚. 新型厂用电快速切换装置的设计[J]. 电网技术, 2006, 30: 317-320.
GUO Jian, LU Guo-gang. The design of a new quick

power-supply-switching device[J]. Power System Technology, 2006, 30: 317-320.
[2] 广东致远电子有限公司. 嵌入式SoC智能平台(ESoC)(二)[J]. 单片机与嵌入式系统应用, 2008(5): 80-83. Guangzhou Zhiyuan Electronic Co., Ltd. Embedded SoC intelligence platform (ESoC)(二)[J]. Microcontrollers & Embedded System, 2008(5): 80-83.
[3] 周加品,余楚中,周立波. MCF5282在电力系统监控中的应用[J]. 单片机与嵌入式应用, 2006(3): 57-59. ZHOU Jia-pin, YU Chu-zhong, ZHOU Li-bo. Application of MCF5282 in power system monitoring[J]. Microcontrollers & Embedded System, 2006(3): 57-59.
[4] 卜英勇,鲁志佩,贺茂坤,等. 基于FPGA的高速数据采集系统设计及与TMS30C6414接口的实现[J]. 仪表技术与传感器, 2008(7): 95-98. BU Ying-yong, LU Zhi-pei, HE Mao-kun, et al. Design of high-speed data-collecting system based on FPGA and interface with TMS320C6414[J]. Instrument Technique and Sensor, 2008(7): 95-98.
[5] 王庆庆,唐锐. 基于MCF5282微处理器的PC104总线的设计与实现[J]. 工业控制计算机, 2005, 18(12): 73-74. WANG Qing-qing, TANG Rui. Design and realization of PC104 bus based on MCF5282 microprocessor[J]. Industrial Control Computer, 2005, 18(12): 73-74.
(下转第 230 页 continued on page 230)

1) 10 kV 线路零序电流保护的整定^[3-4]

10 kV 线路单相接地零序电流保护的一次动作电流按躲过被保护线路本身的单相接地电容电流进行整定： $I_{dz1}=K_k \times I_{c1}$ (I_{dz1} 为保护装置的一次动作电流； K_k 为可靠系数； I_{c1} 为被保护线路本身单相接地电容电流)。因目前无法实测每条 10 kV 线路的电容电流，按馈线的电容电流 20 A 左右考虑，各馈线零序保护动作电流按： $I_{dz1}=K_k \times I_{c1}=2.5 \times 20=50$ A (已考虑躲过系统不平衡电流) 参考各地运行情况，10 kV 线路零序保护动作电流取 $I_{dz1}=60$ A，动作时限取 0.5 s。

2) 接地变压器的零序保护的整定^[3-4]

接地变压器的零序保护作为主变低压侧和母线单相接地的主保护一次动作电流按躲过各条馈线中单相接地电容电流最大的馈线单相接地电容电流来整定： $I_{dz1}=K_k \times I_{cmax}$ (K_k 为可靠系数； I_{cmax} 为系统中单相接地电容电流最大值的馈线的单相接地电容电流的最大值) 接地变压器的零序保护同时作为馈线单相接地保护的后备保护。10 kV 系统的所有馈线中，馈线电容电流最大的也按 20 A 考虑， $I_{dz1}=K_k \times I_{cmax}=2.5 \times 20=50$ A (已考虑躲过系统不平衡电流) 参考各地运行情况，动作电流取 $I_{dz1}=60$ A，接地变压器零序保护采用定时限，第一时限为 1.3 s 跳开 10 kV 分段开关 (在单台主变运行时)，第二时限为 1.6 s (同主变低后备时限) 跳开接地变和主变低压侧开关。

3 结论

2008 年结合桃花坞综合自动化改造将桃花坞 10 kV 系统改为中性点经小电阻接地方式后，大幅度降低系统过电压幅值和持续时间，提高了设备的绝缘裕度和使用寿命，提高了供电可靠性。系统运行几个月来，发生了六次单相接地故障，保护均正确动作切除故障线路。而改造前桃花坞已连续两次发生 10 kV 开关柜烧毁事故。

通过该技术的应用，我们认为小电阻接地方式在目前我们的配网确有推广的必要。小电阻接地方式可准确快速切除故障线路，缩短了故障排查时间，提高了供电可靠性，有效避免 10 kV 系统单相接地过电压烧坏设备及单相接地造成人身触电，对保证电力系统安全运行、可靠供电及群众的生命安全有着重要意义。再者通过该技术应用积累了采用中性点经小电阻接地方式的运行经验，为今后南昌城区 10 kV 配电网采用中性点经小电阻接地方式创造了条件。

参考文献

[1] DL/T620-1997 交流电气装置的过电压保护和绝缘配合[S].
DL/T620-1997 setting guide for the AC electric setting matching about over voltage and insulation[S].

[2] DL/T621-1997 交流电气装置的接地[S].
DL/T621-1997 setting guide for the AC electric setting grounding[S].

[3] 电力行业标准 3 kV-110 kV 电网继电保护装置运行整定规程[M]. 北京：中国电力出版社，2007.
Setting guide for 3 kV-110 kV power system protection equipment[M]. Beijing: China Electric Power Press, 2006.

[4] 国家电力调度通信中心. 电力系统继电保护规程汇编 [M]. 北京：中国电力出版社，1997.
State Power Dispatching Center. Compliation of Power System Relay Protection Regulation[M].Beijing: China Electric Power Press, 1997.

收稿日期：2009-11-30； 修回日期：2010-01-01

作者简介：

付晓奇 (1978-)，男，工程师，主要从事继电保护生产管理工；E-mail: fxqhb@sina.com

徐粮珍 (1960-)，女，高级工程师，从事生产技术管理工作；

赵宝丽 (1980-)，女，工程硕士，从事电力系统设计工作。

(上接第 218 页 continued from page 218)

[6] 彭冰, 刘舒, 黄振. 基于共用总线的多片FPGA配置电路的设计与实现[J]. 中国新通信, 2009 (3): 71-75.
PENG Bing, LIU Shu, HUANG Zhen. Design and realization of multiple FPGA configuration circuit based on the common bus[J]. China New Telecommunications, 2009 (3): 71-75.

作者简介：

刘文亮 (1985-)，男，硕士研究生，从事电力系统继电保护及自动化方面的研究；E-mail: lwl0814@yahoo.com.cn

唐昆明 (1959-)，男，副教授，硕士生导师，从事电力系统继电保护及综合自动化方面的研究；

张太勤 (1966-)，男，高级工程师，从事电力系统继电保护及自动化产品研发。

收稿日期：2009-12-07； 修回日期：2010-01-11