

基于 FPGA&ARM9 合并单元的研制

张明珠¹, 邹欣洁²

(1. 许昌学院数学科学学院, 河南 许昌 461000; 2. 许继集团有限公司, 河南 许昌 461000)

摘要: 简要介绍了合并单元的基本功能, 给出了一种基于现场可编程门阵列 (FPGA) 和嵌入式处理器 (ARM9) 技术的合并单元实现方案, 并对该方案的每个模块功能及实现方法进行了详细阐述和具体分析。同时分析了合并单元的采样值映射模型 IEC61850-9-2 及其实现方法。试验结果表明合并单元工作良好, 该方案有较高的可靠性和较强的实用性。

关键词: 合并单元; IEC61850-9-2; FPGA; ARM9

Development of merging unit based on FPGA&ARM9

ZHANG Ming-zhu¹, ZOU Xin-jie²

(1. School of Mathematical Sciences, Xuchang University, Xuchang 461000, China;

2. XJ Group Corporation, Xuchang 461000, China)

Abstract: This paper introduces the basic functions of merging unit and gives an approach based on FPGA and ARM9. Each module function and realization methods of merging unit are presented and analyzed in detail. At the same time, the value of the combined sampling unit mapping model IEC61850-9 and its implementation are analyzed. Experimental results show that merging unit operates well and has high reliability and a strong practicability.

Key words: merging unit; IEC61850-9-2; FPGA; ARM9

中图分类号: TM76 文献标识码: A 文章编号: 1674-3415(2010)09-0084-04

0 引言

随着电子式电流、电压互感器 (ECT/EVT) 研究与应用的日臻成熟, 电子式互感器与保护、测控和计量等二次设备的接口问题越来越引起人们的关注^[1]。为解决这个问题, 国际电工委员会先后制定了 IEC60044-7/8 和 IEC61850-9 等协议标准, 提出并深化了合并单元 (Merging Unit, MU) 的概念。合并单元的定义首先出现在 IEC60044-8 中, 是针对数字化输出的电子式互感器而提出的, 其主要功能是同步采集多路 (最多 12 路) 电子式互感器输出信号, 并按照一定的格式汇总输出给二次保护测控设备^[2]。IEC61850-9 深化了合并单元的概念, 并将其作为一个逻辑设备融入到 IEC61850 的整个体系中^[3-4]。合并单元作为实现过程总线通信的重要设备, 对于奠定 IEC61850 标准的数据基础, 推动在 IEC 61850 架构下的变电站层和间隔层的各项功能应用有着重要的意义^[5]。

1 合并单元的模型

在 IEC60044-8 标准中首次提出合并单元的定义

义: 用以对来自二次转换器的电流和/或电压数据进行时间相关组合的物理单元。合并单元可以是现场互感器的一个组成件, 或可能是一个分立单元, 例如装在控制室内, 或开关柜上。IEC 60044-8 规定数据集名称 (DataSetName) 只能为 01H 和 FEH。当 DataSetName=01H 时为通用用途的数据通道布局, 如图 1 所示。

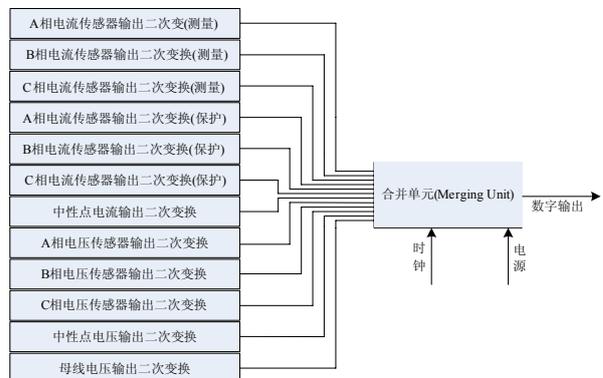


图 1 合并单元的数据通道定义

Fig.1 Channel definition of unit merging

为了满足特定的用途 (如 1/2 接线的线路保护

不能够采用图 1 定义的数据通道), DataSetName = FEH 允许制造厂自由分配各信号源的数据通道。制造厂必须提供特殊数据通道布局(各数据通道的数值、参考值和标度因子)的信息,以便正确配置二次设备。

IEC61850 关于合并单元的定义与功能要求沿袭了 IEC60044-8, 所不同的是增加了一个状态量数据集。该数据集主要反映一次开关量的状态及品质信息, 对应于通用输入输出过程节点(GGIO)的数据对象内容。该数据集的 DataSetName=02, 采用与图 1 类似结构、不同内容的帧格式, 见 IEC61850-9-1。IEC61850-9-2 对合并单元提供了更加开放的数据集格式, 在该协议之下, 不仅各路数据的含义是

可自定义的, 而且总的路数也是可变的, 即不再局限于 12 路的通道总数。

2 合并单元的设计

为了具有更好的通用性, 能够兼容模拟量输入或数字量输入, 本系统将模数转换模块内置, 并且保留了数字信号的直接输入接口。根据合并单元所要实现的功能, 可以将其分为四个部分: 模数(A/D)转换模块; 基于现场可编程门阵列(FPGA)的同步与译码控制模块; 基于嵌入式处理器(ARM9)技术的数据处理模块; 其它外围接口模块。其结构图如图 2 所示。

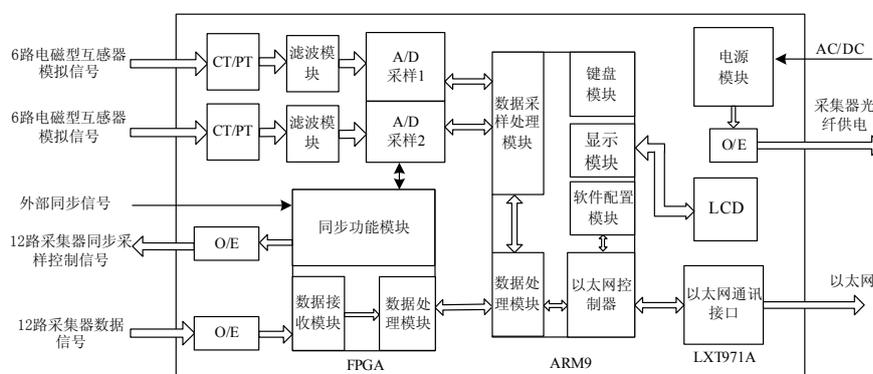


图 2 合并单元结构图

Fig.2 System diagram of unit merging

2.1 模数(A/D)转换模块

该A/D转换模块针对模拟输出直接连接到低压侧测量回路设计的, 为能够测试0.2级互感器, 且能够对数据进行谐波分析达到13次以上, 则要求A/D采样分辨率和转换速度不能够影响二次保护设备动作的即时性。综合考虑以上因素, 我们选择了一款比较适合本系统设计要求的6通道同步采样、低功耗、高速16位ADS8364数据采集芯片^[6]。

2.2 基于FPGA的同步及数据接收、译码控制模块

FPGA是高密度可编程逻辑器件, 它具有速度快、I/O口丰富、调试方便等优点, 适合于时序、组合等逻辑电路应用场合。在本设计中所选FPGA是Altera公司Cyclone系列的EP1C6T144C8器件。

FPGA本设计中主要起到以下三个作用:

(1) 同步功能模块。同步功能模块主要包括了两个部分: 1) 合并单元连接的12路电子式互感器能同步采样电流、电压信号, 这里把它称为数据采集电路之间的同步, 设计时通过FPGA控制向每一路电子式互感器数据采集电路发送同步采样命令来实现数据采样的同步; 2) 不同的合并单元之间的时

间基准同步, 这个同步是靠接收变电站提供的同步秒脉冲(如GPS同步脉冲)作为时间参考, 设计中考虑到抗干扰措施, 以防止将外部的干扰信号误判断为秒脉冲, 在设计中利用有限状态机实现秒脉冲的判断和识别。

(2) 译码模块。合并单元必须对接收到高压侧的数据进行曼彻斯特译码和CRC校验和译码。对于接收正确的数据进行串并转换等待ARM9读取; 对于错误的的数据直接告诉ARM9读取数据有误, 由ARM9进行错误显示或上报。

(3) 串并转换模块。FPGA通过光纤接收高压侧12路串行数据, 为了和ARM9的数据总线相接, 需要进行串并转换。串并转换的原理是利用FPGA的可编程实现串行数据移位, 当达到总线长度时转换完毕, 产生中断, 通知ARM9来读取并行数据。

2.3 ARM9的数据处理模块

嵌入式处理器是嵌入式系统的核心。综合考虑合并单元的应用环境, 选择ATMEL公司的AT91RM9200芯片作为通讯模块的主处理器, 该芯片具有高可靠性、高速度的内核处理器, 自带10/100 Mbps

以太网控制器等优点^[7]。

数据处理模块包括以下三个功能：

(1) 模拟输入的 A/D 采样数据读取。通过系统的软件配置是否实现该功能，如果配置该功能，处理器会针对性地读取 A/D 转换数据，A/D 的采样同步有 FPGA 控制。

(2) 读取 FPGA 的数据。在收到 FPGA 数据串并转换完成的中断后，读取采样数据，并对数据进行 FFT 分析以供显示需要，同时将数据按照 IEC61850-9 数据帧的要求编制 DataSet。

(3) 以太网通信管理模块。IEC 61850 标准对合并单元的采样值传输服务功能划分了两种不同的映射方法，即 IEC 61850-9-1 和 IEC 61850-9-2 部分。通过系统软件配置选择任一种映射方法，然后根据相应的数据帧格式填写数据和状态字。由于采用 ARM9 自带的 EMAC，EMAC 采用 DMA 的控制方式，只需向相关寄存器写入要发送数据的地址和长度，处理器会自动完成发送过程。

3 合并单元映射实现

IEC 61850-9-1 在很大程度上遵循 IEC 60044-7 和 IEC 60044-8，输入交流通道为 12 路，数据帧格式固定，采用点对点或一对多点的单向通信方式，适用于测量表计的接口。IEC 61850-9-2 除了支持直接映射到数据链路层的“SendMMSMessage”服务外，还支持向制造报文规范(MMS)的映射，可以重新配置输入通道数、采样频率等参数，支持对数据集的更改和对数据对象的直接访问，可灵活配置帧格式。IEC 61850-9-2 则更适用于控制保护设备的接口，但该标准仅给出一个参考模型结构，没有解释



图3 IEC61850-9-2LE的APDU帧结构

Fig.3 APDU frame structure of IEC61850-9-2LE

数据集具体存储哪些数据以及如何存储这些数据，为了便于实现，IEC 又发布了 IEC 61850-9-2LE 版本，其中对一些参数进行了固化，从一致性考虑，进一步定义了采样值的帧格式，其中规范了 ASDU 的使用，弥补了 IEC61850-9-2 上的说明不足，强化设备间的互操作性。IEC61850-9 采样值报文在链路层传输都是基于 ISO/IEC 8802-3 的以太网帧结构。图 3 列举了 IEC 61850-9-2LE 的 APDU 帧结构。

4 合并单元功能测试

由于合并单元与电子式互感器的紧密关系，单纯测试合并单元的意义不大。本文以有源电子式互感器(基于 Rogowski 线圈的 ECT, 用于电压等级 110 kV 的保护电流测量)及一次转换器(信号调理电路, 系统结构如图 4 所示)作为输入, 对所设计的合并单元进行性能的测试, 校验测试环境如图 5 所示, 该校验系统设计借助于虚拟仪器技术, 在 LabVIEW8.6 软件基础上开发的校验系统工程, 在硬件方案上选择高精度的 Agilent3458A 万用表完成校验系统标准源的信号采集、调理和数据上传等功能。经溯源分析可以达到 0.05 级精度, 不是本文研究对象, 在这里不再详述。

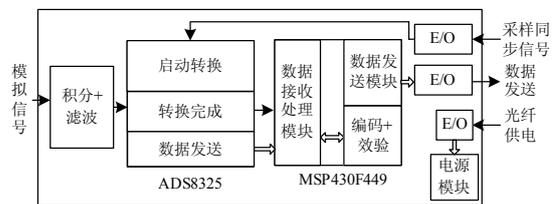


图4 采集器结构图

Fig.4 System diagram of sampling

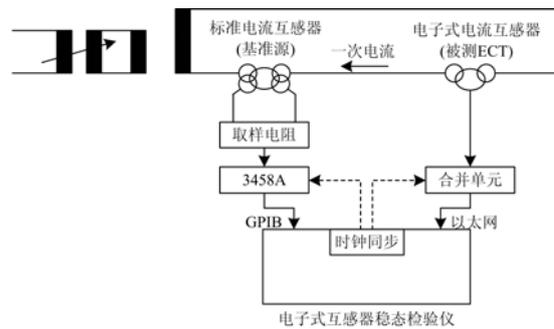


图5 电子式电流互感器校验系统图

Fig.5 System diagram of check system of ET

经多组试验测试，交流采样精度为：电流、电压优于 0.2 级，功率优于 0.5 级；频率优于 0.01 Hz。均满足电力系统测量精度要求，说明此合并单元可

以为二次保护控制单元提供准确的采样数据。表 1 所示为以 I_a 采样值为例的试验结果, 结果显示该设计合并单元的比差、角差在不同施加量的情况下都能够满足 IEC60044-8 规定的 0.2 级电子式互感器的要求。

表 1 以 I_a 采样值为例 10 次试验结果Tab.1 Test results of I_a for 10 times

施加量	5% (I_n)		10% (I_n)		20% (I_n)	
	比差	角差	比差	角差	比差	角差
最大值	-0.253	6'15"	-0.179	1'38"	-0.154	1'55"
最小值	-0.301	4'52"	-0.193	1'12"	-0.166	0'53"
平均值	-0.262	5'31"	-0.187	1'22"	-0.162	1'32"
偏差	0.006	0'31"	0.005	0'11"	0.003	0'18"
施加量	50% (I_n)		80% (I_n)		100% (I_n)	
	比差	角差	比差	角差	比差	角差
最大值	-0.130	0'58"	-0.119	1'29"	-0.111	1'46"
最小值	-0.139	0'41"	-0.129	1'05"	-0.121	1'24"
平均值	-0.135	0'51"	-0.123	1'20"	-0.116	1'35"
偏差	0.003	0'5"	0.003	0'7"	0.003	0'6"

5 结束语

本文提出了一种基于 FPGA 与 ARM9 的合并单元实现方案, 充分利用了 FPGA 丰富 I/O 口、可编程以及 ARM9 的执行速度快、数据处理能力强、易于扩展的特点, 能够满足系统高速、稳定的要求。经校验系统测试能够达到 0.2 级的要求。

参考文献

- [1] 殷志良, 刘万顺, 杨奇逊, 等. 基于 IEC61850 标准的采样值传输模型构建及映射实现[J]. 电力系统自动化, 2004, 28 (21): 38-42.
YIN Zhi-liang, LIU Wan-shun, YANG Qi-xun, et al. Modeling and Mapping Implementation of Sampled Value Model Based on IEC 61850[J]. Automation of

- Electric Power Systems, 2004, 28(11): 38-42.
[2] IEC60044-8, Instrument Transformers-part 8: Electronic Current Transformers[S].
[3] IEC61850-9-1, Communication Networks and Systems in Substations-Part9-1: Specific Communication Service Mapping(SCSM)-Sampled Analogue Values over Serial Unidirectional Multidrop Point to Point Link[S].
[4] IEC61850-9-2, Communication Networks and Systems in Substations-Part9-2: Specific Communication Service Mapping(SCSM)-Sampled Values over ISO/IEC 8802-3 Link[S].
[5] 朱炳铨, 任雁铭, 姜健宁, 等. 变电站自动化系统实现 IEC 61850 的过渡策略[J]. 电力系统自动化, 2005, 29(23): 54-57.
ZHU Bing-quan, REN Yan-ming, JIANG Jian-ning, et al. Strategy for Implementation of IEC61850 in Substation Automation System During Transitional Period[J]. Automation of Electric Power Systems, 2005, 29(23): 54-57.
[6] 谷重阳, 汪渤, 龙殊颖. 并行模数转换芯片 ADS8364 与 TMS320F2812 的接口设计[J]. 微计算机信息, 2006, 22(1-2): 137-139.
GU Chong-yang, WANG Bo, LONG Shu-ying, et al. Design of Interface of Analog-to-digital Converter ADS8364 and TMS320F2812[J]. Microcomputer Information, 2006, 22(1-2): 137-139.
[7] ATMEL. ARM920T-based Microcontroller AT91RM9200[Z]. 2003.

收稿日期: 2009-08-25; 修回日期: 2009-11-23

作者简介:

张明珠(1976-), 女, 硕士, 讲师, 研究方向为概率统计及计算机应用; E-mail: zmz_xctc@126.com

邹欣洁(1980-), 女, 助理工程师, 研究方向为数字化变电站综合自动化。

(上接第 60 页 continued from page 60)

CHEN Shu-yong, SHEN Hong, ZHANG Yang, et al. Researches on the Compensation and Control of Reactive Power for Wind Farms Based on Genetic Algorithm[J]. Proceedings of the CSEE, 2005, 25(8): 1-6.

- [21] 吴学光. 风电场并网运行的数学建模及遗传算法模型优化研究[D]. 武汉: 武汉水利电力大学, 2000.
[22] 王承煦, 张源. 风力发电[M]. 北京: 中国电力出版社, 2003.

收稿日期: 2009-10-20; 修回日期: 2009-12-23

作者简介:

朱雪凌(1966-), 女, 硕士, 副教授, 从事电力系统分析与风力发电并网技术方面的教学和科研工作;

张洋(1978-), 女, 硕士, 讲师, 从事电力系统分析与风力发电并网技术方面的教学和科研工作; E-mail: woshikuai@tom.com

李强(1980-), 男, 硕士, 工程师, 研究方向为电力系统分析及新能源发电技术。