

# 基于 CPCI 总线的多 DSP 处理模块的设计及实现

张敬安<sup>1</sup>, 王若醒<sup>1</sup>, 吴述超<sup>1</sup>, 吴俊伟<sup>2</sup>, 张望<sup>1</sup>

(1. 许继集团公司, 河南 许昌 461000; 2. 许昌市第三高级中学, 河南 许昌 461000)

**摘要:** 超高压直流输电控制保护系统硬件平台的开发, 目前面临着巨大的挑战, 主要表现在: 直流输电测控点多, 数据运算量大, 系统规模和复杂度不断增加, 单 CPU 的运行已很难胜任工作。结合灵宝、贵广二回工程, 在深入分析超高压直流输电控制保护系统的发展和现状, 参考其他领域特别是通信和计算机技术发展的基础上, 开发了一种实用于超高压直流系统的新型 DSP 模块。该模块采用 64 位, 66 MHz 的 CPCI 总线作为外部总线接口, 标准的 6U 板型, 8 片 DSP 芯片 TS201S 构成多 DSP 并行处理结构, 具有实时运算能力强、接口灵活、可扩展性和通用性强等特点。经过测试和现场应用, 各项技术指标良好, 运行稳定可靠, 能够满足超高压直流输电的应用。

**关键词:** 超高压直流输电; 控制保护系统; CPCI; 多 DSP; 总线仲裁; 链路口

## Design and implementation of multi-DSP module based on CPCI bus

ZHANG Jing-an<sup>1</sup>, WANG Ruo-xing<sup>1</sup>, WU Shu-chao<sup>1</sup>, WU Jun-wei<sup>2</sup>, ZHANG Wang<sup>1</sup>

(1. XJ Group Corporation, Xuchang 461000, China; 2. Xuchang No.3 Senior High School, Xuchang 461000, China)

**Abstract:** The UHVDC control and protection system in a hardware platform development is faced with a great challenge, including numerous HVDC control points, the data processing capacity, increasing complexity of the system, single CPU can't meet the requirements. Combining with our LingBao and GuiGuang projects, this paper deeply analyzes the development of HVDC Control and Protection System. Based on the development of communication and computer technology, it develops a new DSP module that is practical in HVDC system. This module packs the parallel processing power of eight TS201S DSPs and the speed of a 64-bit, 66MHz PCI external bus interface on a 6U Compact PCI board, which has many excellent characteristics, such as real-time computation ability, flexibly interface and scalability. Through many tests and field applications, this paper concludes that the performance and stability of this module is excellent, and it meets the strict requirement of HVDC applications.

**Key words:** UHVDC transmission; control and protection system; CPCI; multi-DSP; bus arbitrating; link port

中图分类号: TM76

文献标识码: A

文章编号: 1003-4897(2007)14-0042-03

## 0 引言

超高压直流输电系统(UHVDC)是一个庞大的系统, 两端的换流站设备多, 测控点多, 需要用到的控制保护设备包括: 直流极控(或阀控)系统、站控(交流场/直流场)系统、直流系统保护、换流变压器控制保护、交/直流滤波器控制保护、换流器冷却系统控制保护、站用电系统控制保护等。这些控制和保护设备在完成交直流电流、电压、功率、熄弧角等的测量和计算任务的同时也要完成功率控制、直流电流控制、直流电压控制、熄弧角控制等控制任务。众多对象的测量和控制任务要在 1.67ms 之内完成, 单 CPU 的处理器模块将很难胜任工作, 为此我们开发了一种实用于直流输电控制和保护系统的新型处理器模块, 该处理器模块采用 ADI 公司的新一代高性能 TigerSHARC 处理器 TS201S, 基于

CPCI 总线技术和多 DSP 并行技术, 标准 6U 板型, 实现了标准化和模块化设计。以此处理器模块为基础的直流输电控制和保护系统具有以下特点。

1) 高速数字运算处理能力, 采用 TS201S 芯片, 峰值运算能力达到 48 亿次/s。

2) 硬件平台统一, 通过不同的硬件配置和相应的控制保护软件, 可完成不同对象的控制和保护功能。

3) 能灵活改变的拓扑结构, 单模块上每个处理器节点 I/O 配置相同, 优先级可自由设定, 根据完成任务可灵活划分。

4) 可靠性高, 单一处理器故障, 可将此处理器任务转移到另一处理器完成, 并不影响系统性能。

5) 标准总线接口, 为系统升级提供方便, 节省开发时间、降低开发成本, 单模块的升级改进不影响其它模块。

## 1 TS201S 简介

主处理器核心运算单元采用 ADI 公司的新一代高性能 TigerSHARC 处理器 TS201S, 主频高达 600 MHz, 指令周期 1.67ns。TS201S 内部可分成 DSP 核和 I/O 接口两部分, 这两部分通过四条总线来传送数据、地址和控制信号。双运算模块能够独立或者同时工作, 每个运算块包含四个运算单元: 一个 ALU、一个乘法器、一个 32×32 的寄存器组和一个 128 位 CLU。程序控制器提供完全可中断的编程模式; 开发环境支持汇编语言和 C/C++ 语言编程。

TS201S 内部存储器空间为 24 M位 DRAM。其外部设备接口包括主机接口、多处理器接口、SDRAM 接口和 EPROM 接口。14 个 DMA 通道无需处理器的干预即可完成设备之间的数据交换。TS201S 有四个完全双向的链路口 (Link), 每组含 4 位独立的输入和 4 位独立的输出, 并采用低压差分信号 LVDS 技术, 链路吞吐量达 4 G 字节。每个链路口有两个 DMA 通道 (一个接收 DMA 通道和一个发送 DMA 通道), 可以利用链路 DMA 进行高速数据传送。

TS201S 支持 32 位和扩展精度的 40 位浮点运算, 支持 8、16、32 和 64 位的定点运算。每周执行多达四条指令, 在 600 MHz 的时钟速率下, 可以达到每秒 48 亿次乘加运算 (GMACs) 和每秒 36 亿次浮点运算 (GFLOPs) 的速度。

## 2 多 DSP 处理模块设计

处理器模块以 8 片 TS201S 组成的 DSP 阵列为核心计算单元, 充分发挥 TS201S 高速数字信号处理能力, 结合其适合多 DSP 互连、自身具有总线仲裁逻辑的特点, 组成了一种松耦合型的分布式多 DSP 并行处理硬件结构。

### 2.1 处理器模块原理描述

我们利用 TS201S 的簇总线接口组成多 DSP 并行处理系统, 处理器模块原理框图见图 1。本模块采用 8 片 ADI 公司的 TigerSHARC ADSP-TS201S 组成 DSP 阵列, 完成直流输电的开环和闭环控制任务。8 片 DSP 并行工作, 每片 DSP 有自己单独的外部 I/O 单元, 各存储器对称分布在总线的两侧, 避免共享内存引起的资源竞争, 这种对称的结构设计保证 DSP 并行运行, 具体各自任务的分配主要通过软件进行划分。每个处理器外围接有 256 K 的 SRAM、256 K 的 EEPROM 和 2 M 的 FLASH。采用大容量的存储器主要保证硬件平台的统一, 满足各种不同的应用需求。

另外模块上留有标准的背板接口 PMC, 工业标准的 PMC 支持电信通信 (T1/E1)、网络、总线接口及其它 I/O 智能设备。

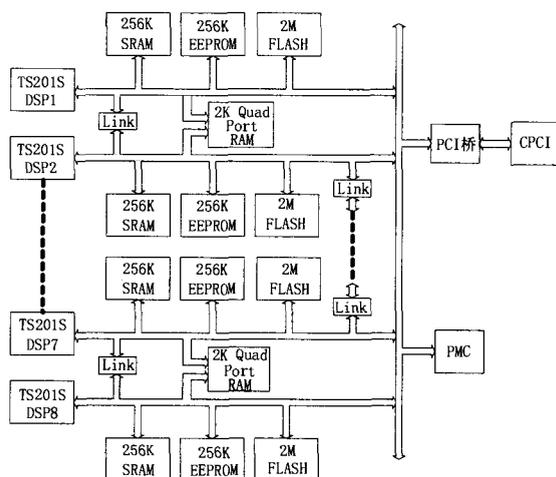


图 1 处理器模块原理框图

Fig.1 Processor module principle diagram

### 2.2 多处理器节点之间的数据传输

处理器节点之间的数据传输有两种方式: 一种采用专用的点对点通信通道, 另一种采用共享全局存储器。采用两种数据传输方式可使整系统的工作方式和系统结构通过软件设置改变而硬件平台保持统一, 体现出一种柔性结构。

全局存储器双口 RAM 实现相邻 DSP 之间的数据传输, 接口简单, 根据数据线、地址线和控制线进行相应的连接, 不需要额外的控制逻辑。

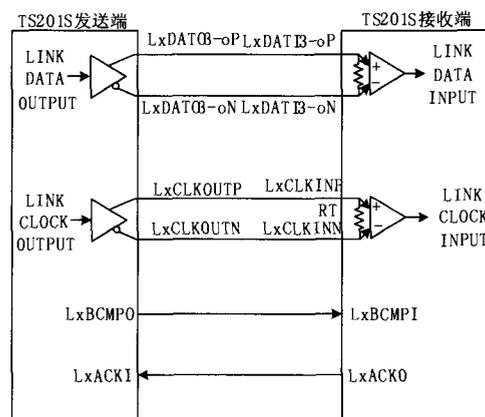


图 2 链路口传输原理图

Fig.2 Link port transmitting principle diagram

利用链路口实现处理器接点之间的点对点通信。DSP 之间链路口数据传输原理图见图 2。每个链路口均可独立地进行接收和发送操作。8 片 DSP 间链路口点对点环形相连, 可以实现从一片 DSP 的

其中一个链路口向另一片 DSP 的一个链路口数据传输, 不用的链路口作为备用。为减轻片内存储器负担, 也可以采用链路 DMA 进行数据传输, 这种数据传输方式不受处理器内核的干预就可把数据传送出去。

### 2.3 多处理器局部总线仲裁机制

多 DSP 并行运行, 要保证总线控制权在各个 DSP 之间可靠地转移, 使多个 DSP 在使用总线时不发生冲突和竞争, 必须建立一种有效可靠的总线仲裁机制。

ADI 公司的 TS201S 非常适合多 DSP 互联, 片内置有总线仲裁逻辑部件, 不需要额外控制逻辑, 就能把多 DSP 互相连接起来。我们利用 BR7-0、HBR 和 HBG 信号完成总线的控制和转移。所有 DSP 的 BR7-0 连接在一起, BR7-0 作为总线申请的请求信号线, 当某个 DSP 申请总线的控制权时相应的 BR 信号置低电平, 占用总线的 DSP 通过保持 BR 信号有效来维持其总线控制权, 当其 BR 信号无效而且其它 DSP 没有提出总线申请时, 该 DSP 对总线的控制权不变, 直到其 BR 信号无效且其它 DSP 提出总线申请时才发生总线控制权的转移。HBR 为主机总线请求信号, 主机必须通过申请 HBR 有效来取得外部总线的控制权。HBG 为主机总线确认信号, 确认 HBR 信号并声明主机可以取得外部总线控制权。

8 片 DSP 并行工作时, 总线仲裁策略上须指定一片 DSP 作为主处理器, 由它来完成系统初始化, 所以它在总线操作上优先级最高。而其它从处理器优先级设定为较低一级, 并采用循环优先级策略, 以保证其总线申请的公平性。总线仲裁逻辑也允许任何从处理器临时获得比当前处理器优先级高的总线控制权。

我们采用中断的方式解决要求立即处理的突发事件, 这时要停止当前操作, 保护现场, 然后进入相应的中断服务程序, 执行完毕, 恢复现场, 继续当前的操作。

总之, 通过总线仲裁逻辑和合理的总线仲裁软件设计, 可有效解决总线冲突、总线死锁和紧急事件处理等问题, 使多 DSP 处理系统公平、合理、灵活的分配总线使用权。

## 3 处理器外部总线接口

处理器外部总线采用标准的 CPCI 总线, CPCI 是 CompactPCI 的简称, 中文又称紧凑型 PCI, 是国际 PICMG 协会于 1994 提出来的一种总线接口标准。CPCI 标准由 PCI 标准 2.1 修改而来。CPCI 标准在电气信号定义上与 PCI 标准兼容。CPCI 最大

时钟速率 64bit/66MHz, 峰值传输速率可达 528MB/s。CPCI 具有高可热插拔、高抗震性、高可用性、易使用性、可扩展性等适合工业级应用的特性, 在相对作业环境较为恶劣(温度高、震度高、电磁干扰、射频干扰等)的条件下可以保证系统稳定运行。近年来 CPCI 标准不仅广泛应用在通讯、网络、计算机, 也在实时系统控制(Real Time Machine Control)、工业自动化、实时数据采集(Real-Time Data Acquisition)、军事系统等应用领域得到大力推广。

外部总线桥接芯片采用 SFIN-201, SFIN-201 是低成本、功能齐全的单芯片器件, 它集成了复杂的 PCI 总线控制和与 TS201S TigerSHARC 处理器的接口。SFIN-201 能灵活地将 TS201S 连接至多种接口, 包括 64 位 66MHz PCI 总线(2.2 修正标准)、I2C 串行接口、闪存和通用扩展总线等。SFIN-201 还提供了强大的 DMA 功能和中断选择, 只需占用很少的处理器资源即能支持极高速的实时数据流。

## 4 结束语

我们充分利用 ADI 公司新一代 TigerSHARC 处理器 TS201S 适合多 DSP 互联、高速数字运算能力强以及自身具有总线仲裁控制逻辑的特点, 开发了一种适用于直流输电控制和保护系统(HVDC)的多 DSP 硬件平台, 该处理器模块设计思想先进, 具有实时运算能力强、接口灵活、可扩展性和通用性强等特点。经过大量的数据测试和工程实际应用, 各项技术性能指标满足要求, 达到了设计目的。

### 参考文献

- [1] DSP-TS201 TigerSHARC Processor Hardware Reference[Z]. Analog Devices Incorporated, 2004.
- [2] Simadyn D. 控制和保护系统[Z]. 许继集团公司, 2002. Simadyn D. Control and Protection System[Z]. XJ Group Corporation, 2002.
- [3] 浙江大学. 直流输电[M]. 北京: 水利电力出版社, 1985. Zhejiang University. HVDC Transmission[M]. Beijing: Hydraulic and Electric Power Press, 1985.
- [4] Sood V K. HVDC and FACTS CONTROUERS-Applications of Static Converters in Power Systems[Z]. 2006.

收稿日期: 2007-01-15; 修回日期: 2007-02-12

作者简介:

张敬安(1968-), 男, 本科, 主要从事电力系统及其自动化研究和开发工作; E-mail: zhangjingan@xjgc.com

王若醒(1972-), 男, 硕士, 主要从事电力系统及其自动化研究和开发工作;

吴述超(1979-), 男, 本科, 主要从事电力系统及其自动化研究和开发工作。