

用 CPLD 实现多通道数据采集系统的 A/D 转换器控制电路设计

李志军,李欣然,石吉银,冷华

(湖南大学电气与信息工程学院,湖南长沙 410082)

摘要: 提出一种新的基于复杂可编程逻辑器件 CPLD 的高速 A/D 转换器的控制系统。该控制系统充分利用 CPLD 功能,采用 VHDL 语言及图形化编程方式,有效地实现了对 A/D 控制器、多路采样保持器以及前端多片多路复用开关的协调控制,可以有效地控制多达 36 通道数据的 A/D 转换,能够大幅度减轻 CPU 的工作负担,提高执行效率,简化软件编程,实现了硬件上的模块化控制。本文提出的基于 CPLD 的高速 A/D 转换器的控制系统已成功应用于电力系统综合负荷特性数据的实时采集。

关键词: 电力系统; 负荷特性数据采集; CPLD; 多路复用开关

中图分类号: TM73 **文献标识码:** B **文章编号:** 1003-4897(2006)21-0053-05

0 引言

复杂可编程逻辑控制器(CPLD)为数字系统的设计带来了极大的灵活性,它兼有的串并行工作方式和高集成度、高速、高可靠性等明显特点,在超高速领域和实时控制方面应用广泛。同时 CPLD 与各种处理器的结合给数字电路系统的设计也带来了极大的方便,利用 CPLD 控制的灵活性很容易对电路进行在线修改,实现各种复杂的数字逻辑控制,扩展了处理器的功能。在电力系统中,CPLD 广泛应用于在线监测、抑制脉冲干扰、继电保护以及数据采集等方面^[1~5]。本文所介绍的 A/D 转换器的控制系统是作者设计开发的电力系统综合负荷特性数据实时采集装置的一部分。在数据采集系统中,控制系统的前置部分很重要的一个环节就是 A/D 转换^[6],在已有的利用 CPLD 实现采样控制的系统中,被控制的进行转换的通道数都比较少^[1~5],采用一片多路复用开关对通道进行选通即可,不存在多个多路复用开关相互转换协调的问题,其时序控制相对简单,因此采用 CPLD 控制模式所具有的优势并不十分显著。在诸如电力系统综合负荷特性数据实时采集这样的应用场合,采样通道多,需要采用多片多路复用开关的组合并有效、可靠地实现大量通道之间的协调转换,这就必须通过外围电路来组合控制不同的多路复用开关之间的切换。装置研制实践表明,常规的时序逻辑控制方法使硬件结构十分复杂,开发与调试很不方便,尤其是严重影响装置的可靠性等关键性能。鉴于 CPLD 具有物理结构简单、能

够通过软件编程实现各种逻辑器件功能以及简化电路设计等优点,我们将之应用于对多片多路复用开关及 A/D 转换器的电路接口设计,成功地实现了多达 36 通道的快速数据采集,大大简化了硬件系统,提高了装置的可靠性,充分显示出 CPLD 对多通道采样系统高效、可靠的时序逻辑控制的独特优势。

1 系统的结构和功能

本系统主要是实现对前端调理电路采集到的同步实时的 36 路信号进行 A/D 转换的控制。但是,在转换的时候,只能是多个通道依次进行转换,因此,采集到的模拟信号在进行 A/D 转换之前需要使用采样保持器对其保持一段时间,再由多路复用开关将被保持的模拟信号依次送入 A/D 控制器中进行转换。所以,本设计不仅要实现对 A/D 转换器的控制,同时,还要完成多路采样保持器和多片多路复用开关的控制。系统的整体结构框图如图 1 所示。

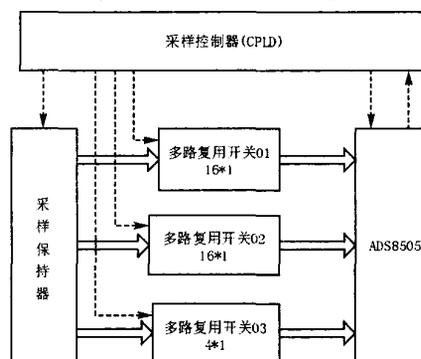


图 1 采样控制系统框图

Fig 1 Frame of sampling control system

在图 1 中, CPLD 需要完成对三片多路复用开关、多路采样保持器和 A/D 转换器的控制, 同时, 根据 A/D 控制器的工作方式, 还要对 A/D 转换器的某些端口进行查询。

2 系统的组成

2.1 CPLD 的选择

CPLD 有以下几大优点: 编程方式简便、先进, 可以方便地通过软件编程实现各种逻辑器件的功能; 高速——CPLD 的时钟延时可以达到 ns 级, 减小了系统的延时误差; 高可靠性——几乎将整个控制系统下载于同一芯片中, 大大缩小了体积, 易于管理和屏蔽^[9]。

CPLD 的这些优点很符合电力系统综合负荷特性数据实时采集装置采样通道多的应用要求。本系统选用的 CPLD 是 Altera 公司的 MAX7000 系列产品 EPM7128S-84LCC, 它是可编程的大规模集成逻辑器件, 具有高阻抗性、电可擦除等特点, 可用门单元为 2 500 个, 工作电压可以支持 +5 V 或者 +3.3 V^[4,5]。该芯片有 4 个固定输入口, 用来提供芯片工作主频、复位、清零等功能; 68 个通用 I/O 口, 完全能够满足系统的输入输出的要求。

2.2 A/D 的控制方式

鉴于 12 位 A/D 转换器采样精度不高, 16 位串行输出 A/D 转换器与并行总线的接口复杂且传输速度慢, 难以满足高速采样要求, 所以本系统选用 ADS8505。ADS8505 是双极性输入, 16 位并行输出的 A/D 转换器, 采样率最高可以达到 250 k/s, 每次转换的时间只需要 4 ns^[8]。ADS8505 的控制是通过对片选信号 CS、启动信号 R/C 以及对状态信号 BUSY 的查询来实现的。

在本控制系统中, 使用了多片多路复用转换开关, 在进行数据的 A/D 转换的时候, 是采用单 A/D 还是多 A/D 工作就是不得不面对的问题。经过研究和试验, 相比较多 A/D 控制器的形式, 单 A/D 控制器便于时序的控制, 不需要对多个 A/D 转换器进行时序的转换, 而且, 更加经济, 能有效地降低成本。

ADS8505 有 2 种转换和读数的方法^[7,8]:

1) 转换和读数同时进行

让 $\overline{R/\overline{C}}$ 为低启动转换, 在转换的同时读取上一次转换完成的结果, 但是必须在启动转换后 7 μ s 内读数才有效, 否则数据无效。

2) 先转换后读数

让 $\overline{R/\overline{C}}$ 为低启动转换, 查询 BUSY 位。BUSY 是

ADS8505 的状态信号, 当 BUSY 为低时, 表示转换已经完成; 为高时, 表示转换正在进行。这种方法很灵活, 一般有两种操作方法: 一种是 CS 始终接低电平, 由 $\overline{R/\overline{C}}$ 来控制; 另一种是 CS 和 $\overline{R/\overline{C}}$ 同时为低时启动转换; CS 为低, $\overline{R/\overline{C}}$ 为高时将完成转换的数据输出。

在以上的控制方式中, CS 始终接低电平, 由 $\overline{R/\overline{C}}$ 来控制的控制方法, 就是将 A/D 转换器恒定地置于工作状态, 这种控制方式将会降低 A/D 转换器的使用寿命, 影响系统的稳定性。因此, 作者采用了 CS 和 $\overline{R/\overline{C}}$ 同时为低时启动 A/D 控制器的方式。在这种工作方式中, 当 A/D 转换器接收到启动信号后, CS 和 $\overline{R/\overline{C}}$ 置低, 并且至少保持 40 ns 的低电平脉冲, A/D 转换开始; 同时, BUSY 位置高。在数据 A/D 转换完成的时候, BUSY 位变为低电平, $\overline{R/\overline{C}}$ 将变高, 同时, 将转换完成的数据输出。在数据输出的过程中, 由于 ADS8505 内部的数据总线是 8 位的, 而转换的结果是 16 位的, 因此, ADS8505 设有一个 BYTE 位, 当传输的是低八位的数据时, BYTE 保持为低电平, 传输的是高八位数据时, BYTE 位就会自动置高。

2.3 多路复用开关和采样保持器的控制

根据采集装置的要求, 设计了 36 路采集通道, 因此必然要在将采集到的同步原始信号输入 A/D 转换器之前将信号保持, 保持的时间由后台 CPU 设定的采样周期确定, 并通过多路复用开关, 把选通通道的信号送入 A/D 转换器。现有的多路复用开关最多只能达到 16 选 1, 要实现 36 路采集通道的转换就不得不采用三个多路复用开关的组合, 作者利用两片 16 选 1 和一片 4 选 1 的多路复用开关实现了 36 路通道, 并利用软件 MAX + PLUS II 和 VHDL 语言编写控制程序实现了 36 路通道之间的切换。

3 系统的实现

系统利用软件 MAX + PLUS II 来完成 CPLD 程序的编写。MAX + PLUS II 支持多种输入方式, 在这里, 作者用到的是其中的文本输入方式和图形输入方式, 采用的是硬件语言 VHDL, 采用至顶向下的方法进行设计。

作者设计的系统控制部分如图 2 所示, 由两大部分组成: 一部分是控制 A/D 转换器和采样保持器, 如图 2 中的 AD03 模块; 另一部分是对多路复用开关的控制, 如图 2 中的 controInux 模块。

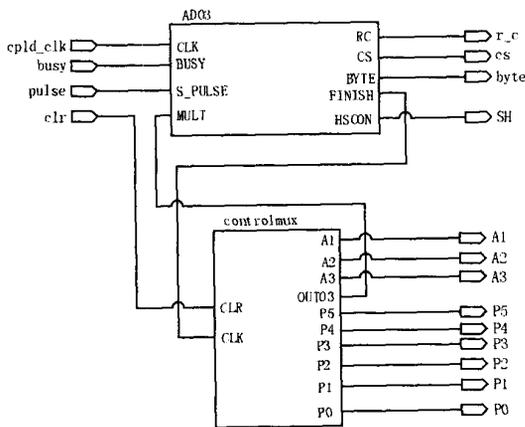


图 2 A/D控制器的控制部分结构图

Fig 2 Frame of the controller of A/D converter

3.1 AD转换器的控制时序及工作状态设计

在 2.2 节所述的 A/D 控制方式下,通过 AD03 模块实现的 ADS8505 的时序图如图 3 所示。图 3 中 MODE 和 DATA BUS 分别代表 A/D 转换器所处的状态和数据总线的状态,其中的各个时间标为各个信号间的延时或者信号的建立时间。有关符号含义如下: t_{w1} 为 A/D 启动要求的低电平脉冲持续时间; t_{bd} 为 R/\bar{c} 变低到 BUSY 置位的延迟时间; t_{w2} 为 BUSY 为低电平的脉冲持续时间; t_{conv} 为转换的时间; t_{hi} 为总线无效时间; t_{su} 为从 R/\bar{c} 信号到 CS 信号的建立时间; t_{en} 为总线有效时间。

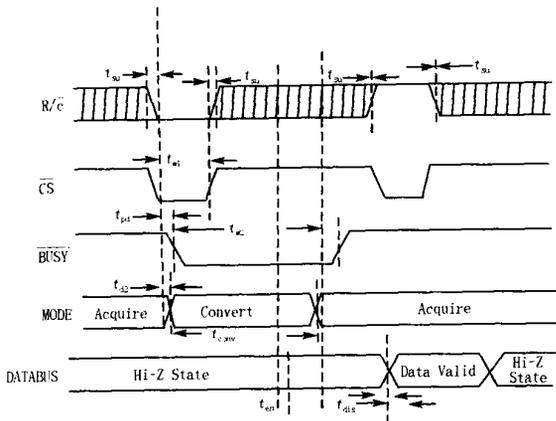


图 3 ADS8505 工作时序图

Fig 3 Time sequence of ADS8505

AD03 模块完全由 VHDL 语言设计的有限状态机实现^[10]。根据 ADS8505 的时序,本文设计了如图 4 所示的 ADS8505 的工作状态转移图。

图 4 中定义了 $S_0 \sim S_6$ 等 7 种工作状态,所设计的各状态功能及其状态转移的实现过程描述如下:

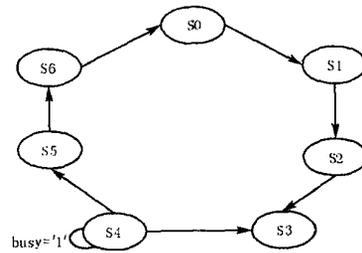


图 4 状态图

Fig 4 Frame of states

```

s0: process(cur_st, busy)
case cur_st is
when s0 => rc <= 1; cs <= 1; byte <= 0; finish <= 0;
——复位至初始状态
if en = 1' then next_st <= s1;
else next_st <= s0;
end if;
when s1 => rc <= 0; cs <= 0; byte <= 0; finish <= 0;
——启动 AD
if en = 1' then next_st <= s2;
else next_st <= s0;
end if;
when s2 => rc <= 0; cs <= 0; byte <= 0; finish <= 0;
——延时
next_st <= s3;
when s3 => rc <= 0; cs <= 0; byte <= 0; finish <= 0;
——延时
next_st <= s4;
when s4 => rc <= 1; cs <= 1; byte <= 0; finish <= 0;
——采样等待,采样进行中...
if busy = 1' then
next_st <= s5;
else
next_st <= s4;
end if;
when s5 => rc <= 1; cs <= 0; byte <= 0; finish <= 1;
——转换完成,读取低 8 位数据
next_st <= s6;
when s6 => rc <= 1; cs <= 0; byte <= 1; finish <= 1;
——转换完成,读取高 8 位数据
next_st <= s0;
end case;
end process s0;
    
```

3.2 contro mux 模块

该模块是用来控制多路复用开关的,它由一个 36 进制计数器构成。在设计计数器的时候,考虑到要控制三片多路复用开关,因此设定了三个溢出标志 A1、A2、A3,分别用来控制三片多路复用开关的

片选端,还设置了一个 out3 溢出信号,做为 A/D 转换结束信号。

控制方式如下:控制系统启动时,利用计数器的高两位的逻辑组合实现 A1,选通第一片多路复用开关;当计数到 16 个脉冲时,A2 输出低电平,A1 恢复高电平,选通第二片多路复用开关;检测到第 32 个脉冲到来,A3 输出低电平,而 A2 恢复高电平,选通最后一片多路复用开关同时停止第二片多路复用开关;检测到第 36 个脉冲时,由 out3 发出低电平,表示 36 路信号的一次转换全部完毕。

3.3 系统的工作方式

3.3.1 输入端子功能

AD03 模块中的 clk 是 CPLD 的工作脉冲,也是整个控制器的启动脉冲;BUSY 与 ADS8505 的 BUSY 位连接,向控制系统提供查询信号;S_PULSE 是由后台 CPU 发出的采样信号;CLR 是 controImux 模块中的计数器清零信号,一般情况下置为高电平。

3.3.2 输出端子功能

RC 和 CS 位分别控制 ADS8505 的 R/\bar{c} 和 CS 位;A1~A3 代表了 3 片多路复用开关地址,为低电平时表示选中相应的多路复用开关;HSCON 连接到采样保持器的 LOGIC 端,高电平时使采样保持器将保持的信号释放输出;P0~P3 分别接到各片多路复用开关的逻辑组合端子,选通某一路信号通道。

本系统是通过 AD03 和 controImux 两个模块相互作用来实现对 A/D 转换器、多路复用开关和采样保持器的控制的。从图 2 可以看出,整个系统的工

作只需要后台的 CPU 提供 3 个信号,就能输出 12 个信号,实现对多个芯片的控制。

在设计这个电路中,采取的是“同时采集,分时转换”的工作方式,即采样保持器将在采样启动信号到来时采集到的 36 路同步信号保持,在 LOGIC 接收到高电平的时候将采样保持器所保持的信号释放,依次经过选通的通道送入 AD 进行模数转换。具体的工作方式如下:由后台 CPU 向 CPLD 发出工作启动脉冲信号,当 AD03 模块接收到该工作启动脉冲时,就启动该控制系统,将此时采集到的信号保持在采样保持器中,系统的采样由 AD03 模块的 S_PULSE 脉冲给出(系统的采样周期由后台的 CPU 设定,并通过 S_PULSE 端子发出周期脉冲来实现),在 AD03 模块的 HSCON 端子置高时,将采样保持器所保持的信号释放,从第一个通道的信号开始逐个进行 A/D 转换,每完成一次 A/D 转换,由 AD03 模块的 FINISH 向 controImux 模块的 clk 发出一个脉冲,controImux 模块内部的计数器加 1,选通下一个通道,继续进行 A/D 转换。直到第 36 路信号转换完成,controImux 模块的 out3 向 AD03 模块发出停止信号,停止 A/D 控制系统。

4 仿真分析及结果

根据以上的设计,在软件 MUX + PLUS II 中进行仿真,设定给定的采样控制器的工作时序仿真图如图 5 所示。由图 5 可以看出,仿真结果完全满足系统的时序设计要求。

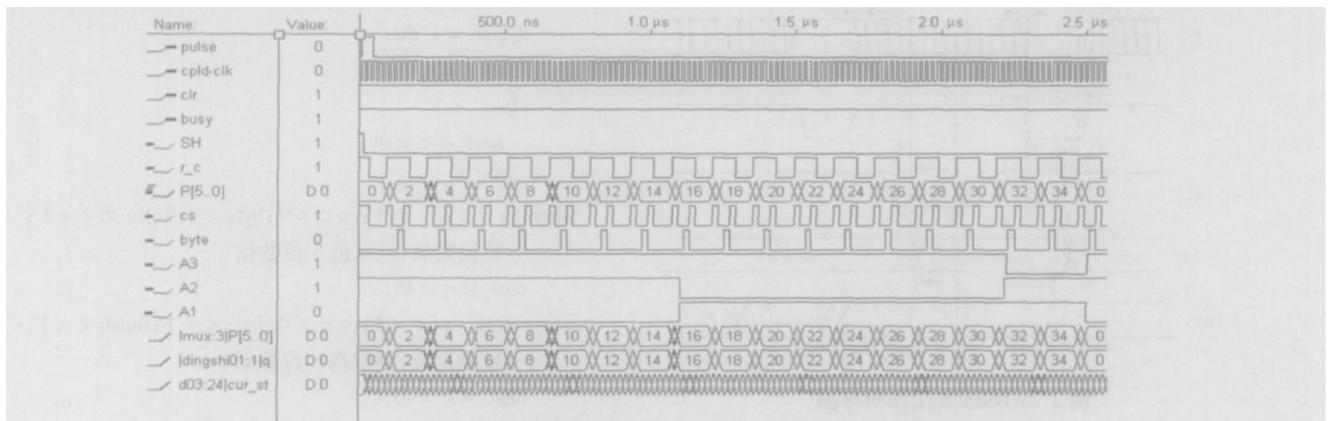


图 5 系统整体工作时序仿真图

Fig 5 Time sequence simulation frame of the whole system

5 结论

本文论述了如何利用 CPLD 对多路信号进行转换,以及如何实现对多片多路开关和 A/D 转换器的

协调控制,为多片多路复用开关的使用提供了一个比较新颖的思路与解决方案。本文设计的系统具有电路结构简单,调节灵活,通用性强,可重复利用,可移植性强等特点。系统的实现方法是使用硬件语言

VHDL采用至顶向下的方法,经过简单的修改可以应用于大多数的A/D转换器控制系统。本文提出的方案与应用于实际的负荷特性数据采集以及仿真所获得的结果完全吻合,充分证明本文所提出方案的可行性与相应的系统设计的正确有效性。

参考文献:

- [1] 蔡月明,梅军,曹晓华. CPLD在继电保护装置中的应用[J]. 继电器, 2001, 29(10): 42-44.
CAI Yue-ming, MEI Jun, CAO Xiao-hua Application of CPLD in Relay Protection Set [J]. Relay, 2001, 29(10): 42-44.
- [2] 张鑫,李娜,宗剑,等. 基于CPLD的电动机保护装置的设计[J]. 继电器, 2004, 32(17): 43-46.
ZHANG Xin, LI Na, ZONG Jian, et al Design of Motor Protection Based on CPLD [J]. Relay, 2004, 32(17): 43-46.
- [3] 余芳,王文志,舒乃秋. 用CPLD实现脉冲干扰抑制电路[J]. 电力自动化设备, 2004, 24(3): 79-81.
YU Fang, WANG Wen-zhi, SHU Nai-qiu Design of Pulse Disturbance Restriction Circuit with CPLD [J]. Electric Power Automation Equipment, 2004, 24(3): 79-81.
- [4] 张桂清,冯涛,王建华,等. EDA技术在数字保护继电器中的应用[J]. 继电器, 2002, 30(6): 17-20.
ZHANG Gui-qing, FENG Tao, WANG Jian-hua, et al The Application of EDA Technology in Digital Protection Relay [J]. Relay, 2002, 30(6): 17-20.
- [5] 陈明明,李忠,郑华. 基于CPLD的A/D自动采样接口[J]. 继电器, 2004, 32(16): 44-46.
CHEN Ming-ming, LI Zhong, ZHENG Hua Interface of A/D Auto-sampling Based on CPLD [J]. Relay, 2004, 32(16): 44-46.
- [6] 王旭柱,王汝霖,吴东,等. 基于DSP的信号实时采集与处理系统[J]. 数据采集与处理, 1999, 14(4): 509-512.
WANG Xu-zhu, WANG Ru-lin, WU Dong, et al A Real-Time Data Acquisition and Processing System Based on DSP [J]. Journal of Data Acquisition and Processing, 1999, 14(4): 509-512.
- [7] 周日贵,叶永生,胡景春,等. 定点DSP的数据采样处理系统[J]. 仪表技术与传感器, 2003, (11): 41-42.
ZHOU Ri-gui, YE Yong-sheng, HU Jing-chun, et al Data-sampling Processing System of Fixed-point DSP [J]. Instrument Technique and Sensor, 2003, (11): 41-42.
- [8] <http://focus.ti.com.cn/cn/docs/prod/folders/print/ads8505.html> 16-BIT 250KSPS Sampling CMOS Analog-to-Digital Converter [EB/OL]. Burr-Brown Products from Texas Instruments 2005.
- [9] 张永伟,尹项根,李彦武,等. CPLD在断路器在线监测数据采集系统中的应用研究[J]. 电力自动化设备, 2003, 23(4): 34-37.
ZHANG Yong-wei, YIN Xiang-gen, LI Yan-wu, et al Research on Application of CPLD in Data Acquisition System for Breaker online Monitoring [J]. Electric Power Automation Equipment, 2003, 23(4): 34-37.
- [10] 黄正谨,徐坚,章小丽,等. CPLD系统设计技术入门与应用[M]. 北京:电子工业出版社, 2002.
HUANG Zheng-jin, XU Jian, ZHANG Xiao-li, et al CPLD System Design Technology Introduction and Application [M]. Beijing: Publishing House of Electronics Industry Press, 2002.

收稿日期: 2006-07-17; 修回日期: 2006-07-27

作者简介:

李志军(1982-),男,硕士研究生,研究方向为电力系统负荷建模; E-mail: lzj-1982_10@163.com

李欣然(1957-),男,教授,博士生导师,主要从事电力系统负荷建模,电力系统运行与控制的研究与教学;

石吉银(1981-),男,硕士研究生,研究方向为电力系统负荷建模。

Design of circuit of A/D converter of multi-channel data acquisition system based on CPLD

LI Zhi-jun, LI Xin-ran, SHI Ji-yin, LENG Hua

(College of Electrical and Information Engineering, Hunan University, Changsha 410082, China)

Abstract: A new control system for high-speed A/D converter based on CPLD is presented. The control system achieves the operation on the concerted-control of A/D converter, multi-multiplexers and sampling-holders effectively by using CPLD sufficiently, the language of VHDL and Graphic Editor, and it can control the A/D convert more than 36 channels well. It also can relieve the work of CPU, improve the system's efficiency, simplify the software programming, and achieve modularity for the controlling. The high-speed A/D converter based on CPLD is applied for the real-time sampling in integration load characteristic data acquisition in power system.

Key words: power system; load characteristic data acquisition; CPLD; multiplexer