

基于 CPLD 的 A/D 自动采样接口

陈明明¹, 李忠², 郑华²

(1. 东南大学电气系, 江苏 南京 210096; 2. 南京博电电气有限公司, 江苏 南京 210036)

摘要: 简要介绍了传统的继电保护装置数据采集的过程, 通过分析 FIFO (First-in First-out) 和 A/D 的操作时序搭配, 并合理设计 CHLD (Complex Programmable Logic Device), 设计了一种 A/D 自动采样接口。CPU 只要发出一个脉冲信号, 该接口就能依次完成 16 路模拟通道切换、A/D 转换、数据存储等控制, 当一个采样周期的所有模拟通道数据转换完成后, 及时向 CPU 发出中断请求, CPU 即可从相应的 FIFO 读出所有通道数据。不仅减轻了 CPU 的任务, 提高系统执行效率, 还可简化软件编程, 有助于改进软件的模块化设计水平。

关键词: A/D 自动采样; CHLD; FIFO

中图分类号: TN915; TM774

文献标识码: A

文章编号: 1003-4897(2004)16-0044-03

0 引言

微型继电器保护自进入应用以来, 图 1 所示的采样模式得到了极大普及。即多个模拟通道(假设已经滤波输出)接入采样保持器(有的无此环节), 再经多路开关切换, 由同一 A/D 进行转换。CPU 在每个采样中断中分别控制采样保持、多路开关选择、A/D 启动转换等信号, 并逐一读取 A/D 转换结果, 然后计算处理, 其软件流程如图 2 所示。该采集模式至今仍在大部分装置中使用。

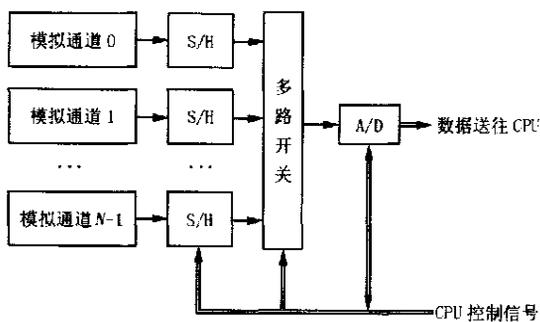


图 1 A/D 数据采集典型硬件示意图

Fig. 1 Typical circuit of A/D sampling

从图 2 看出, A/D 每次转换结束前, CPU 都需等待一段时间(通常是数微秒至数十微秒)。当通道数目较多时, 此环节累计浪费时间也就越多。随着采样率不断提高(采样周期不断缩短), 计算处理任务不断加重, 在此过程中浪费的时间就越显宝贵。虽有设计为节省时间在等待过程中加入一些零散操作, 不同程度地提高了处理效率, 但此种做法并未从根本上解决问题。

本文的目的就是尝试设计一种 A/D 自动采样

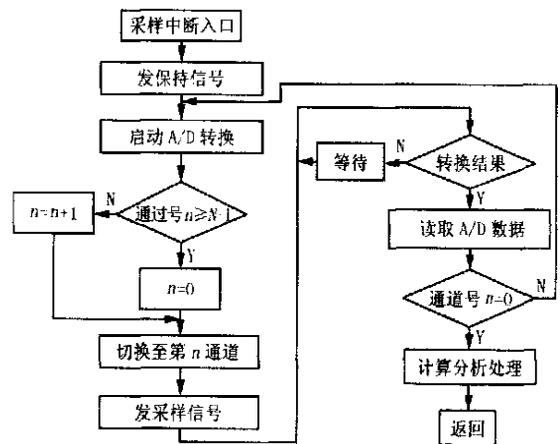


图 2 采样中断程序流程

Fig. 2 Flow chart of sampling interruption subprocedure

接口, 避免 A/D 转换过程中 CPU 的频繁干预, 简化采样控制, 最大程度地节省 CPU 的时间, 满足继电保护装置高实时性的要求。

1 设计方案

利用 CHLD 作为整个采集过程中的核心控制回路, 负责多路开关切换、A/D 转换启动、转换结果写入 FIFO, 以及在所有通道转换结束后通知 CPU。CPU 收到转换结束信号后, 即可通过 CHLD 直接从 FIFO 中依次连续读出每个通道的转换结果。

1.1 A/D 的操作时序分析

选用 AnalogDevice 公司 16 位并行模数转换器 AD976A, 该款 A/D 具有与许多其它模数转换器类似的操作时序, 如图 3 所示。启动转换时, R/C # 端输入一低脉冲(宽度 $t_1 = 50 \text{ ns}$), 经 t_6 (典型值 40 ns) 后 A/D 即由采样进入保持状态, 经 t_7 ($4 \mu\text{s}$) 后, 转换结

果从数据线输出有效;忙信号 BUSY# 下降沿延迟于 R/C# 下降沿 t_3 时间(83 ns)后出现,当转换结束后,BUSY# 延迟 t_5 (典型值 180 ns)后恢复为 1;A/D 数据在下次转换开始前一直保持有效。两次转换最小间隔 t_{13} 5 μ s。

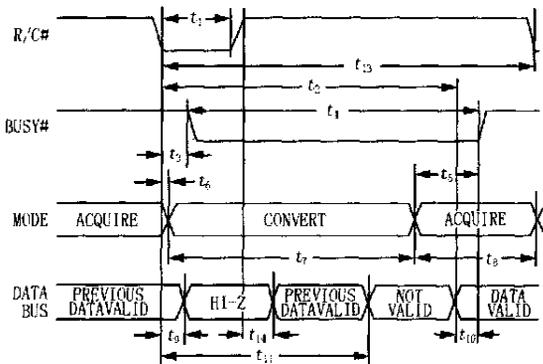


图 3 A/D 976A 时序控制图(使能端 CS# 接地)
Fig. 3 Conversion timing of A/D 976A with CS# tied LOW

1.2 FIFO 操作

选用 TI 公司的 SN74ACT7814-40,其宽度为 18 位,深度为 64,操作时序如图 4 所示。写入数据时(前提 FIFO 不为满),LDCK 上升沿将数据锁存,数据建立时间 t_1 5 ns,维持时间 t_2 5 ns。读出数据时(前提 FIFO 不为空),UNLK 的上升沿将使数据输出至总线,最大延时 t_3 20 ns。

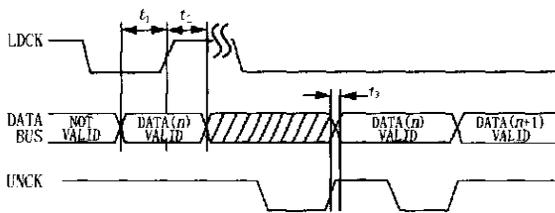


图 4 SN74ACT7814 操作时序
Fig. 4 Operation timing of SN74ACT7814

1.3 CPLD 控制设计^[1]

通过对 A/D 和 FIFO 器件的时序分析,选用

Lattice 公司的 M4A5-128/64-10YC,设计控制模块。

1.3.1 通道切换与 A/D 转换

如图 5 所示。频率为 50 MHz 的输入端 CLKIN 作为控制电路的基准时钟,启动信号 START 来自 I/O 输出,R/C# 为 A/D 转换信号,RESET 为系统复位信号(复位后状态:MUXA[3:0]均为 0,R/C# 为 1),MUXA[3:0]用于输出控制多路开关切换,AD-END 为所有通道转换结束信号(复位及 START 的上升沿均将 AD-END 初始化为 0)。模块 MUX_CNTRL 和 CVT_CNTRL 用 VHDL 语言描述(限于篇幅,程序略),控制过程如下:START 触发后,即产生宽度为 80 ns 的负脉冲信号 R/C#(A/D 在 R/C# 下降沿后 40 ns 内进入保持并开始转换),R/C# 上升沿触发多路开关切换至下一通道;每周固定 5.04 μ s,直至 CH15 转换结束;AD-END 在 CH15 转换结束时置 1。

1.3.2 A/D 数据存放

从图 3 和图 4 综合看出,在 BUSY# 由 0 到 1 时,A/D 数据已稳定,BUSY# 的时序正好满足 FIFO 写入信号 LDCK 的要求,所以 BUSY# 信号可经一缓冲连至 FIFO 的 LDCK 引脚。

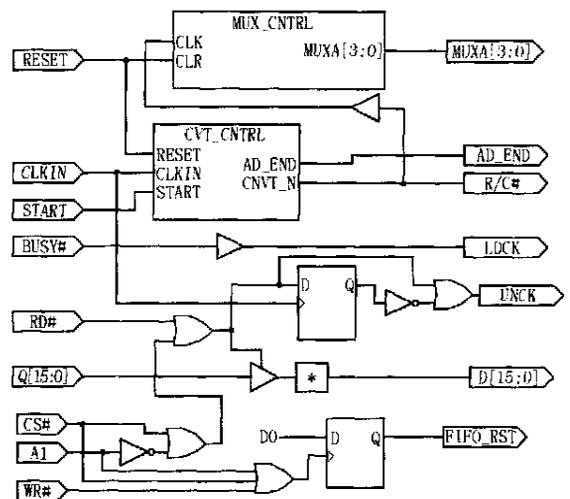


图 5 CPLD 逻辑设计
Fig. 5 Logical design of CPLD

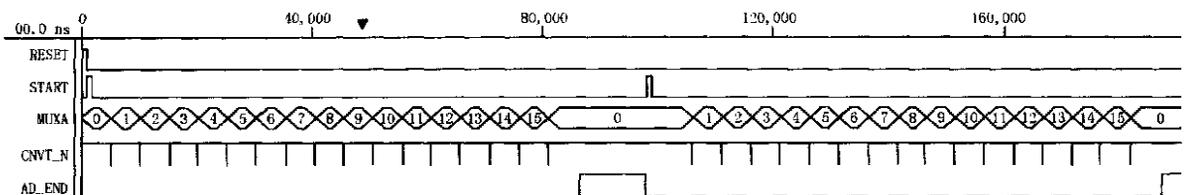


图 6 MUX_CNTRL 和 CVT_CNTRL 模块时序仿真图
Fig. 6 Timing simulation diagram of MUX_CNTRL and CVT_CNTRL modules

系统初始化过程中给 FIFO 输入一复位信号 FIFO-RST,以清空内部数据。

1.3.3 转换数据的读取

CPU 受转换结束信号 AD-END 触发后,产生读取数据中断。从图 4 可以看出 FIFO 的有效数据在读取信号 UNCK 上升沿后输出,而 CPU 的读数据是在数据就绪后利用读信号 RD# 的上升沿将数据锁存。所以可利用 RD# 信号产生一个下降沿一致而上升沿提前信号作为 FIFO 的 UNCK 信号输入。

FIFO 的读取作为一 I/O 口完成。

1.3.4 系统连接

连接图 7 所示的系统。图中 AD-END 接 CPU 的中断输入请求端。

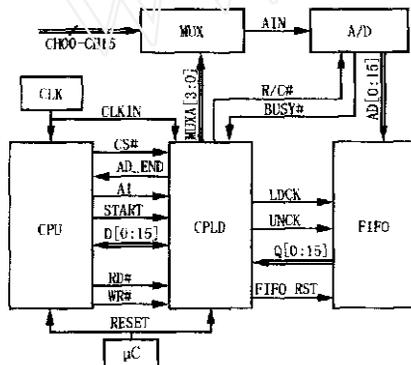


图 7 系统连接示意图

Fig. 7 Diagram of system connection

2 结语

由于本文所用的 CPLD 的触发器资源有限, FIFO 采用外接方式。如果使用触发器相对较多的 FPGA (Field Programmable Gate Array), 则完全可将 FIFO 集成到 FPGA 内部, 进一步精简电路。设计中的模拟通道数还可方便地扩展。本设计已得到样机的验证, 实践表明基于 CPLD 的 A/D 采样接口大大节省了软件参与 A/D 转换控制的时间, 使 A/D 控制更为简单, 显著提高了软件执行效率, 取得了令人满意的效果。

参考文献:

- [1] 薛宏熙, 刘素洁, 刘宝琴, 等 (XUE Hong-xi, LIU Su-jié, LIU Bao-qin, et al). MACH 可编程逻辑器件及其开发工具 (第二版) (MACH PLD and Its Development Tools, Second Edition) [M]. 北京: 清华大学出版社 (Beijing: Tsinghua University Press), 1998.

收稿日期: 2003-11-10; 修回日期: 2003-12-15

作者简介:

陈明明 (1976-), 女, 工程师, 硕士研究生, 从事电力系统远动设备的研究与开发; E-mail: cmm@sac-china.com

李忠 (1973-), 男, 工程师, 硕士, 从事电力自动化设备的研究与开发;

郑华 (1970-), 男, 工程师, 硕士, 从事电力自动化设备的研究与开发。

Interface of A/D auto-sampling based on CPLD

CHEN Ming-ming¹, LI Zhong², ZHENG Hua²

(1. Department of Electrical Engineering, Southeast University, Nanjing 210096, China;

2. Power Advance Technique Co., Ltd, Nanjing 210036, China)

Abstract: The sampling process of traditional relays is introduced. On analyzing the timing of FIFO and A/D, a new kind of auto-sampling interface based on CPLD is well designed. Given just one pulse by CPU, the interface will finish channelswitching, A/D-converting and data-storing in the correct order automatically by itself. After finishing all channels' sampling in each sampling period, it sends an end signal to interrupt CPU, and CPU reads all the channels data from FIFO. This design can really alleviate the task of CPU, improve the operation efficiency, simplify the design of software, and conduce to the design of modularization.

Key words: A/D auto sampling; CPLD; FIFO

(上接第 43 页 continued from page 43)

Abstract: An intelligent electronic over loadprotective relay is introduced in detail. This electronic overload protective relay takes the different permutations and combinations of current amplitude, positive sequence component, negative sequence component, zero sequence component and voltage amplitude as protection criterions, and takes PIC 16F877 single machine as a core part. It can finish the functions of automatic diagnosis of many kinds of failures such as overload, short phase and short circuit and serial communications. So it can meet intelligent need of electrical motor protection.

Key words: overload protective relay; intelligence; PIC MCU; inverse time; serial communications