

EDA 技术在数字保护继电器中的应用

张桂青¹, 冯涛¹, 王建华¹, 张杭¹, 郑士泉²

(1. 西安交通大学电器教研室, 陕西 西安 710049; 2. 西安交大思源智能电器有限公司, 陕西 西安 710049)

摘要: 在分析和回顾数字保护继电器硬件发展的基础上, 指出微处理器自身固有的不足, 介绍 EDA 技术的基本内容和优于 CPU 的特点。文章给出了 CPLD/FPGA 在数字保护继电器中作为通用 I/O 接口、作为协处理器、作为独立的保护 CPU 以及设计数字保护专用芯片和在系统编程等方面的具体使用方法。这一新技术的出现, 必将给智能化电器的硬件发展带来新突破, 片上系统将是数字保护继电器的发展方向。

关键词: 数字保护继电器; FPGA; SOC; ASIC

中图分类号: TM588 **文献标识码:** A **文章编号:** 1003-4897(2002)06-0017-04

1 引言

保护继电器在电力系统中起着非常重要的作用, 它是保证供电可靠性的基础。历史上, 它的硬件经历了三个阶段, 即电磁式继电器、固态继电器和基于微处理器的数字继电器。数字继电器是集计算机技术、网络技术、微电子技术、传感器技术于一体的智能化保护装置。随着技术的进步, 数字保护继电器的硬件也有了较大的发展, 32 位单片机和 DSP 已经在当今的数字继电器中相当普遍^[1], 虽然和以往技术相比性能上得到了很大的提高, 但仍然存在一些不足。EDA(电子设计自动化)技术是近几年发展起来的一项新技术, 目前在电信和网络等领域得到了成功的应用。本文试图探讨该技术在智能化电器领域中的应用方式。进一步提高数字保护继电器的集成度和可靠性, 使其真正实现片上系统的最高目标。

2 智能化电器硬件的发展

数字保护继电器是 80 年代以来发展起来的, 经历了从简单到复杂, 从直接代替电磁式继电器, 到逐渐实现智能化的过程。应用范围从高压到超高压, 从中压到低压直到低压智能脱扣器, 几乎覆盖了电力系统保护的全部内容。随着网络技术的发展, 变电站自动化系统、配网自动化系统的技术也日趋完善。作为硬件的主处理器也经历了从 8 位到 16 位到 32 位单片机的发展, 从单一 CPU 结构发展为多 CPU 结构, 从单一 DSP 结构发展为多 DSP 以及 32 位

CPU 和 DSP 的混合结构。之所以硬件的发展如此之快, 一方面由于市场的推动, 因为继电保护要求数字继电器在故障的时候不能拒动而没有故障的时候不能误动。因此, 对硬件的可靠性要求越来越高, 硬件冗余技术以及自检和互检技术得到了普遍的应用, 各种新理论新算法的不断应用就要求微处理器有足够的运算速度。另一方面得益于近几年电子技术的发展, 其性能越来越高, 价格越来越便宜。尤其最近几年, 基于 32 位单片机以及 32 位定点或浮点 DSP 已经成为智能化电器设备的主导产品。

但是, MCU 存在着与生俱来的一些不可克服的缺点和弱点^[2]。首先是低速, 由于 MCU 的工作方式是通过内部的 CPU 逐条执行软件指令来完成各种运算和逻辑功能的, 因而无论多么高的工作时钟频率和多么好的指令时序方式, 在排队式串行指令执行方式(DSP 处理器也不能逃脱这种工作方式)面前, 其工作速度和效率必将大打折扣。MCU 的另一致命弱点是, 任何 MCU 在工作初始都必须经历一个复位过程, 否则将无法进行正常工作。MCU 的复位必须满足一定的电平条件和时间条件。在工作电平有某种干扰性突变时, MCU 不可或缺的复位设置将成为系统不可靠工作的重要因素。尽管人们不断提出了种种改善复位的方法及可靠复位的电路, 市场上也有层出不穷的 MCU 复位监控专用器件, 但到目前为止, 复位的可靠性问题仍然未能得到根本性的解决。PC 的“跑飞”是 CPU 的另一个缺点。事实证明, 无论多么优秀的 MCU, 无论具有多么良好的抗干扰措施, 包括设置任何方式的内外硬件看门狗, 在受强干扰特别是强电磁干扰情况下, MCU 都无法保证其仍能正常工作而不进入不可挽回的“死机”状

基金项目: 国家高技术产业发展项目计划(计高技[2000]1883号)
国家教育部博士点基金资助项目(No. 2000069808)

态。尤其是当 PC 跑飞与复位不可靠因素相交错时,情况将变得尤为复杂。

3 EDA 技术及发展

EDA 是近几年迅速发展起来的一项新技术。主要是借助先进的设计软件在计算机上进行电子设计和仿真,基于 EDA 技术的 CPLD/FPGA(复杂可编程逻辑器件/现场可编程门阵列)器件的开发应用可以从根本上解决 MCU 所遇到的问题。

首先它编程方式简便、先进,CPLD/FPGA 产品越来越多地采用了先进的 JTAG-ISP 和在系统配置编程方式。在 +5V 工作电平下可随时对正在工作的系统上的 CPLD/FPGA 进行全部或部分地在系统编程。其次是高速,CPLD/FPGA 的时钟延迟可达纳秒级,结合其并行工作方式,在超高速应用领域和实时测控方面有非常广阔的应用前景。例如以 1024 点的 16 位 FFT 为例,用目前工业上最快的 DSP 在 800MHz 时钟下需要 7.7 μ s,而用 Xilinx 公司 Virtex-II 系列芯片在 140MHz 时钟下运算不足 1 μ s;高可靠性也是它的优点之一,除了不存在 MCU 所特有的复位不可靠与 PC 可能跑飞等固有缺陷外,CPLD/FPGA 的高可靠性还表现在几乎可将整个系统下载于同一芯片中,从而大大缩小了体积,易于管理和屏蔽。另外开发工具和设计语言标准化,开发周期短也是另一个优点,和单片机相比它易学易用,开发便捷。

CPLD/FPGA 是近几年集成电路中发展最快的产品。自从 1978 年 Xilinx 公司推出第一颗 FPGA 芯片至今,无论从工艺还是从集成度方面都获得了极大的发展。目前,CPLD/FPGA 可供选择范围很大,可根据不同的应用选用不同容量的芯片。利用它们可实现几乎任何形式的数字电路或数字系统的设计。在国内,这项技术逐渐得到重视,目前在网络通讯、工业控制等领域已经得到了广泛的应用。不言而喻,我国的电子设计技术发展到今天,又将面临一次更大意义的突破,即 CPLD/FPGA 在 EDA 基础上的广泛应用。从某种意义上说,新的电子系统运转的物理机制又将回到原来的纯数字电路结构,但却是一种更高层次的循环,它在更高层次上容纳了过去数字技术的优秀部分,对 MCU 系统将是一种扬弃,而在电子设计的技术操作和系统构成的整体上却发生了质的飞跃。随着 EDA 技术的发展和 CPLD/FPGA 在深亚微米领域的进军,它们与 MCU、MPU、DSP、A/D、D/A、RAM 和 ROM 等独立器件间的物理与功能界限已日趋模糊。特别是软/硬 IP(Intel-

lectual Property) 芯核产业的迅猛发展,正越来越受到业内人士的密切关注。EDA 技术打破了软硬件之间最后的屏障,使软硬件工程师们有了真正的共同语言,使目前一切仍处于计算机辅助性设计(CAD)和规划的电子设计活动产生了实在的设计实体。基于 EDA 的 IP 芯核产业的推动应是我国在 21 世纪知识经济发展的重要切入点之一。电子设计专家认为,单片机时代已经结束,未来将是 EDA 的时代^[2]。

4 CPLD/FPGA 在智能电器中的应用

EDA 技术带来了电子设计的革命,对依赖数字技术不断发展的智能化电器也必将产生深远的影响,下面笔者试图归纳一下在这一领域的使用方法。

4.1 用 CPLD 作通用的外围接口

CPLD 是在 GAL 的基础上发展而来,其最基本的用法是作为 CPU 的外围接口来使用。例如译码器、编码器、锁存器以及可编程 I/O 等。它可实现几乎所有的数字逻辑。图 1 所示的电路当中,除了完成译码等以外,对开关量输入信号可以在 CPLD 中设计用于去抖的施密特电路;在控制继电器的开关量输出电路中在 CPLD 中增加防误跳的保护电路^[3];在键盘显示接口中实现键盘编码和其它控制等。这样一方面由于其引脚(除个别外)可以通过软件重新配置,使得在实际应用当中非常灵活和方便。另一方面,用一个芯片代替了以往的几个芯片,不仅减小了 PCB 板的面积,重要的是提高了可靠性。另一优点就是保密性好,使得产权得到了很好的保护。这种用法事实上已经在国内外的微机保护装置中得到了实现^[4]。

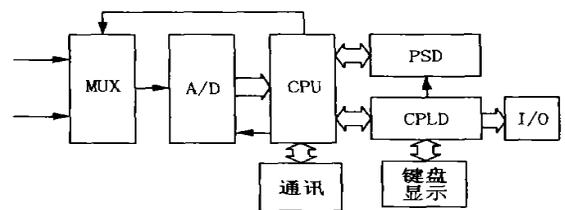


图 1 CPLD 用于通用 I/O 的结构框图

4.2 作为协处理器使用

在早期商用计算机的 80386-CPU 中,为了提高其浮点数据的处理能力,Intel 公司专门开发了协处理器 80387,在单片机中则没有专门的协处理器芯片。现在数字保护继电器的算法为数众多,但是其中一些需要复杂计算的算法,由于受到硬件的限制而得不到应用。如卡尔曼滤波算法,用在多变量的估计时,需要进行矩阵运算,而一般的微型计算机很

难满足速度上的要求,致使该算法在微机保护中未得到很好的应用^[5]。事实上,如果利用 FPGA 进行数据的处理就可以很好地满足这一要求,在许多场合用它作为协处理器的设计已经成功地应用,例如用 CPLD/FPGA 独立完成数据的采集与处理功能^[6]。其他各种复杂的数据处理算法都可以参照这样实现,在该系统中,FPGA 实现了 32 点(点数可以设置)FFT,实时进行 16 次及以下谐波的计算与分析。这充分发挥了它的高速和并行处理的能力,尤其在高速采样的场合,减轻了 CPU 的负担,可以实现 DSP 速度都无法满足要求的场合,为小波变换等复杂的保护算法的实现提供保障。

4.3 代替 CPU 实现独立的保护算法

目前的数字继电器产品中,多 CPU 型微机保护硬件结构已经非常普遍,各种方案总的来说可分为两类:一类是将保护功能和人机界面等功能分开,由不同的 CPU 分别承担电气量的采集与变换、控制逻辑运算、人机对话和打印输出、与上位机通信、数字量输入和处理等功能。另一类是多 CPU 并行处理式结构,不同保护功能(高频、距离等)由不同的 CPU 完成。此外也有的只将信号采集与处理的功能分离出来由一个专用 CPU 承担,而保护的其余任务仍由主 CPU 完成。

当今的 CPLD/FPGA 完全可以代替以上各方案中的任意一个或几个 CPU^[6],事实上早在 1998 年,国外就有人提出了用 FPGA 实现多个保护模块的方案^[7]。文献[7]的算法虽然简单,但首次实现了以往只能由软件来实现的保护算法,这给在保护算法一级增加硬件冗余,和保护未来的自主知识产权的算法提供了很好的途径。尤其今天的 FPGA 规模已经从那时的几万门,增加到了几百万甚至上千万门,价格也越低、配套的开发工具越来越简单易用。同时 FPGA 的可重复编程的特性,对算法的不断改进提供了保障。由于其并行处理的特点,可以使得单片 FPGA 实现多 CPU 达到的效果。对简化系统的设计、降低成本和增加可靠性都具有特殊的意义。

4.4 设计数字保护专用芯片

由于 FPGA 可以完成几乎所有的数字逻辑及数据处理,将来的智能化电器设备中可以不再需要 CPU。因为随着大规模集成电路的发展以及我国改革开放的进一步深入,开发自主知识产权的专用芯片实现数字保护已成为一种发展的趋势,它具有体积小、价格低、可靠性高、保密性好、功耗低、速度快的特点。EDA 技术使得电子系统设计工程师利用

相应的 EDA 软件设计自己的 ASIC (Application Specific Integrated Circuits) 器件。ASIC 代替 CPU 也就是必然的发展趋势。目前已成功设计出数字保护的专用芯片,实现了片上系统的功能^{[8][9]}。从国家的发展战略来讲,信息产业部提出我国集成电路产业必须从扩大应用入手,优先发展芯片设计业的思想。强调在涉及国防、国家安全和关键经济领域,要具备开发所需自主知识产权芯片的能力。国家电力公司副总经理陆延昌在“第 26 届中国电网调度运行会闭幕式的讲话”中也强调指出:从长远考虑,要优先使用国产保护装置,促进国内继电保护专业发展,消化吸收新原理、新技术,支持开发、生产继电保护专用处理器^[10]。

4.5 实现在系统可编程

系统内配置可以分为静态配置和动态配置,静态配置是指通过在系统可编程技术(In system programmability, ISP)实现的,像基于 EEPROM 或 FLASH 的可编程器件,都是采用静态配置来实现的。具有 ISP 功能的可编程逻辑器件,其工作电压和编程电压采用同一电压,编程数据可通过一根编程电缆从计算机写入芯片。动态配置指的是在系统运行中,根据需要对芯片重新配置以改变系统的功能。ISP 在数字保护继电器中具有很大的应用前景,它可以大大简化系统的设计,在标准硬件的基础上通过现场不同的组态来满足用户实际应用中的要求。FPGA/CPLD 的现场可编程特点正是满足了系统的这一要求。动态配置虽然可以在一定程度上实现自适应保护功能,但在电力系统运行过程中改变保护继电器的配置是否会带来新的隐患有待进一步研究。

5 结束语

不可否认,在一些系统中 MCU 与 CPLD/FPGA 有很强的功能互补性。但从长远看,随着 EDA 技术的发展、CPLD/FPGA 集成水平的进一步提高和 IP 芯核产业的进一步扩大,可以预言,在大部分的电子设计领域,MCU、MPU、DSP 或 A/D、D/A 和 RAM 等必将以各种软/硬 IP 芯核的形式大一统于 CPLD/FPGA,实现真正的单片系统。更广的兼容性、更高的性价比、更好的开发手段和更快的上市节奏,是确立一项主导性新技术不可动摇地位的必要条件。如何更快更有效地利用这一技术成为智能化电器新技术研究人员的共同课题,电子设计的最高境界是片上系统(System On Chip, SOC),智能化电器硬件的发展也不例外。

参考文献:

- [1] 刘辉. 基于 DSP 的双处理器微机保护 [J]. 河南大学学报, 2001, (3).
- [2] 潘松, 等. 基于 EDA 技术的 CPLD/FPGA 应用前景 [J]. 电子与自动化, 1999, (3).
- [3] 张桂青, 等. 微机保护装置的自检技术 [J]. 江苏电器, 2001, (1).
- [4] 蔡月明. CPLD 在继电保护装置中的应用 [J]. 计算机应用, 2001, (4).
- [5] 于九祥. 卡尔曼滤波技术在微机保护上的应用 [J]. 继电器, 1998, (4).
- [6] Feng Tao, Zhang Guiqing. A FPGA - based implementation of data acquisition and processing for digital protective relays [C]. 4th International Conference on ASIC Proceedings, Oct. 23 - 25, 2001 Shanghai, China.
- [7] Manzoul M A. Multi - function protective relay on FPGA [J]. Microelectronics Reliability, 1998, 38.
- [8] 张桂青, 冯涛, 等. 继电保护系统级专用芯片的设计 [J]. 电力系统自动化, 2001, (20).
- [9] Zhang Guiqing, Feng Tao. The Implementation of digital protective in power system using FPGA [C]. 4th International Conference on ASIC Proceedings, Oct. 23 - 25, 2001 Shanghai, China.
- [10] 陆延昌. 在 26 届中国电网调度运行会闭幕式上的讲话 [J]. 电力系统通讯, 2000, (1).

收稿日期: 2001-11-27

作者简介: 张桂青(1962 -), 男, 副教授, 博士研究生, 从事电力系统继电保护专用芯片的开发和智能化电器技术及设备的新技术研究; 冯涛(1971 -), 男, 博士研究生, 从事电力系统继电保护专用芯片的开发和智能化电器技术及设备的新技术研究; 王建华(1954 -), 男, 教授, 博士生导师, 从事电力系统自动化技术和智能电器新技术的研究。

The Application of EDA technology in digital protective relay

ZHANG Gui-qing¹, FENG Tao¹, WANG Jian-hua¹, ZHANG Hang¹, ZHENG Shi-quan²

(1. Xi'an Jiaotong University, 710049; 2. Xi'an Jiaoda SYUAN Smart Electrical Apparatus Co., LTD, Xi'an 710049, China)

Abstract: Based on the review of hardware progress in the digital protective relay, this paper points out the disadvantage of microprocessor, and indicates the some characteristic of EDA technology which is better than microprocessor. Some typical applications of CPLD/FPGA in digital protective relay are illustrated, such as, used as general I/O port or co-processor or CPU. The protective relays ASIC design and in system programmability are discussed. The development of this new technology will bring the great progress in smart electric apparatus.

Key words: digital protective relay; FPGA; SOC; ASIC