

信号延时装置控制器电路的改进设计

许昌继电器研究所 陈尚志

编者按:

本刊1981年第四期曾发表了ZMY—1型信号延时装置。现在该文作者对信号延时装置的控制电路进行了设计上的改进。改进后的电路能够进行自启动,从而解决了原控制电路在开机时需要启动两个开关,并且在受到干扰后分配器工作不正常时,都需要人工进行重新启动才能恢复正常工作的缺点。使故障录波装置运行更加安全可靠。现将改进后的设计发表如下。

信号延时装置中的控制器是存储器存入和取出协调工作的指挥中心,它工作的可靠性决定了整机工作的可靠性,因此,如何提高控制电路的性能是至关重要的问题。

一、改进前的电路及其原理简介

为了便于比较各方面的性能,把原电路及其工作过程作一简单介绍。原电路见图一所示。

这部分电路由主脉冲发生器,脉冲延时电路,和主脉冲同步的单脉冲发生器及环形移位分配器构成。

主脉冲发生器采用反相器构成的环形振荡器利用奇数个非门串联,并将最后的一个输出端与第一个输入端相连而成的环形电路,是一种多谐振荡器,即环形振荡器,这种振荡器的基本原理是利用电路无稳态的特性来实现的,其特点是容易起振,能可靠的产生方波脉冲,加入RC电路组成频率较低而可调的低频环形振荡器。但是这种振荡器,振荡频率受温度影响较大,更换元件后,频率变化也很大。

作为组成分配器电路的环形移位寄存器,其移位脉冲 CP_2 ,根据逻辑要求,需要比主脉冲序列滞后一个相位的脉冲序列。这是由脉冲延时电路来完成。

单脉冲发生器,只要操作一次微动开关 K_1 ,当开关复归后,便产生一个(只有一个)和主脉冲同步的单脉冲,我们这里用的是负单脉冲。

工作过程简介如下:

给上电源之后,主脉冲发生器和脉冲延时电路都进入正常工作状态,这时按一下微动开关 K_2 ,(K_2 按下的时间须维持在50ms以上)就把环形移位寄存器全部置“1”

了，即脉冲节拍分配器的48步并行输出全部为“1”，为在分配器里输入一个“0”准备好了条件，然后操作一下微动开关 K_1 ，单脉冲发生器便产生一个和主脉冲同步的负单脉冲，这个负单脉冲在移位脉冲 CP_2 的作用下移入寄存器。由于分配器的最后输出步 b_{48} 反馈接到第一个寄存器的输入端，构成了环形移位寄存器。因此这个负单脉冲从此就在环形移位寄存器中周而复始，循环移位。产生“0”控制脉冲序列，工作波形如图2所示。

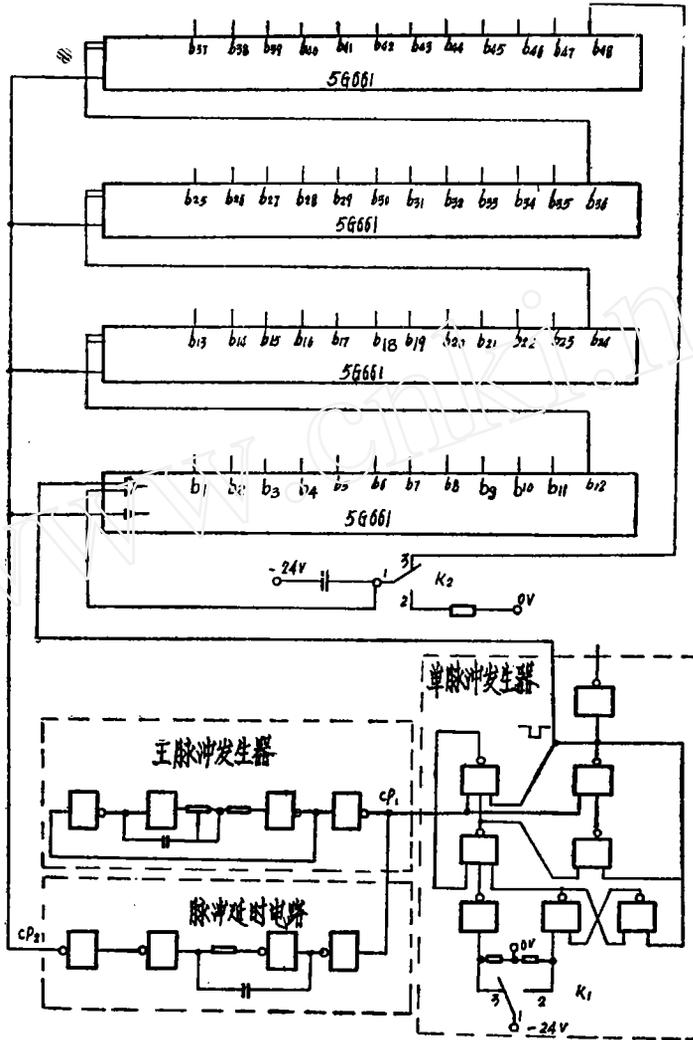


图1 改进前的电路

改进前电路的特点及缺点：

1. 电路所用元件数量较少，一片5G605，2片5G601，除分配器电路外共3片。
2. 需要人工启动，须操作微动开关二个。并且在受到干扰后分配“0”脉冲序列被

破坏后，又须人工启动。

3. 分配器输入端受干扰，多输入一个或几个“0”脉冲。这样，环形移位寄存器中就可能有两个或二个以上的“0”脉冲在运行，在这种情况下，也需要人工重新启动一次后才能恢复正常工作。

4. 作为主脉冲发生器的环形振荡器的振荡频率受温度变化的影响较大，在更换集成电路元件时，频率变化的范围则更大，需要重新调整频率。

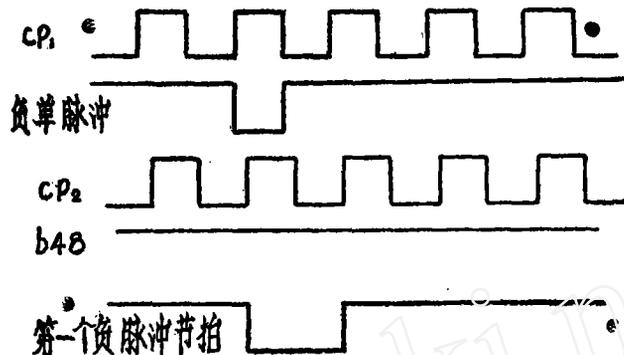


图2 工作波形

二、改进后的电路

上述电路的主要缺点是不能自启动，在受到干扰后分配器工作不正常时，都须人工重新启动后才能恢复正常工作。因此，改进电路工作的主要出发点就是要解决自启动问题。

1. 工作原理。

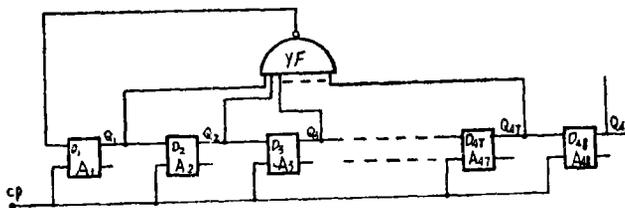


图3 电路原理图

从图3可知，当准静态D型触发器 A_1 — A_7 的状态全为“1”时， YF 门才输出“0”，否则输出就为“1”，也就是说，这个电路只有一个“0”码在移位寄存器中闭环传送，当这个“0”码被移入 A_8 时，触发器 A_1 — A_7 输出全为“1”， YF 门的输入端也全为“1”， YF 门输出为“0”，也就是在 A_8 把“0”码移走的同时 A_1 又送进来一个“0”，保持在移位寄存器中只有一个“0”码在其中运行，所以也称它为单“0”移

位循环码。由于每一码矢中特征码位是一位“0”码,故时序译码中的扇入可以是“1”,由于是单扇入,所以在时序译码时,每个相应译码门输入端只能有一个触发器改变状态,所以不会产生译码毛刺,而且分路脉冲是等宽的。

这是YF门即是循环码传送门, A_1 — A_{48} 均为D型触发器。

由上述的分析可见,该电路具有自启动能力,开机时,给上工作电源,在移位脉冲序列的作用下,至多需要47个移位脉冲,便可把电路推入正常工作状态。因为在合电源时,构成移位寄存器的D型触发器的状态是随机的。因此要把触发器 A_1 — A_{47} 全部置成“1”,一般在小于47个(最多47个)移位脉冲的作用下便可进入正常运转状态。

由此可见,这个自启动的功能是由YF门来完成的,故又称YF门为启动门。如上所述,单“0”移位循环码在受干扰消失后,至多在工作一周之内经过自启动恢复正常工作,这里的所谓一周就是 $48T = 48 \times \frac{1}{f}$; (f 即为 c_p ——移位脉冲的频率)即最长为48ms,从而克服了原电路的不足之处。

2. 具体电路的组成。

由于录波信号延时的要求,需要48路时序分路,就需要48个D型触发器,本电路仍采用5G661—12位串行输入/并行输出移位寄存器。这种移位寄存器由准静态主从D型触发器组成。

①自启动YF门的实现:参见图4

由图3可知,该电路的自启门YF门扇入数较多,达47路之多,若采用一般的门电路来组成启动门,门的层次势必增加很多,不但使门电路的构成大大地复杂化,而且印制电路板的布局,走线等都将很困难。很难得到理想的效果。

该电路采用5G612——八模拟开关来组成具有47路扇入的自启动YF门,使门的层次和印制电路板的布局和走线等大为简化。

②改进后的电路,见图4。

从图4可见,移位主脉冲序列由弛张振荡器输出经5G657十六分频之后产生,改善了频率温度稳定性。

弛张振荡器是一种基本的单结晶体管脉冲产生电路,它是由一个单结晶体管和RC充放电回路组成。图中 R_{03} 是负载电阻。 R_{02} 为温度补偿电阻。电路的基本工作过程是这样的:当电源接通后,在电容 C_{12} 两端可以获得连续的锯齿波电压,在 R_{03} 的两端可以输出正的触发脉冲,在 R_{02} 的两端可以得到负的触发脉冲。

W 为频率调整电位器, T_{12} 为整形电路。

通常在开机时,移位寄存器的状态是随机的, A_1 — A_{47} 的47个D型触发器不一定是为“1”。因此一般在开机时,启动YF门的输出也为“1”,在移位脉冲CP的作用下, A_1 — A_{47} 寄存器将逐个置成“1”。最多经47个移位脉冲后,便将 A_1 — A_{47} 全部置成“1”。于是启动YF门立即输出一个“0”。就这个“0”在移位寄存器中逐步移位产生工作分配脉冲。当这个“0”移位到 A_{48} 时,则 A_1 — A_{47} 又全被置“1”。YF门输出“0”即在 A_1 的D输入端准备好“0”态,当 A_{48} 把“0”移走时, A_1 同时又

输入“0”。如此循环往复，以至无穷。

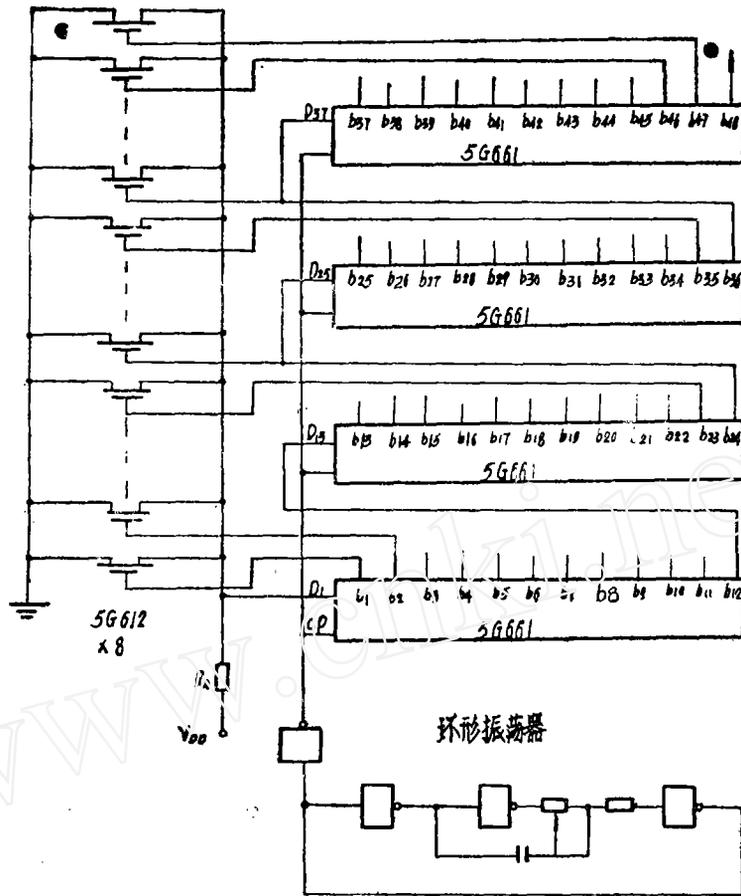


图4 改进后的电路

3. 改进后电路的特点。

- ①电路所用元件数量稍多，一片5G605，八片5G612，除了分配器电路外共9片，（原电路为3片）。
 - ②具有自动启动功能，在开机时或停电后，有自启动的功能。
 - ③在受干扰后，工作分配脉冲被破坏而消失或增加分配脉冲个数时，均具有自校正能力。
 - ④电路工作原理比较简单，逻辑关系非常简单容易掌握，从而维修也比较容易。
- ### 4. 电路的调试。

如果元件良好，焊接正确，便会有正常的时序脉冲输出。但是由于启动YF门的扇入数很大，构成与非门的相当于47个MOS开关并联在一起。如果按一个开关的单位检测，这样就将无法进行。（下转42页）

管,它的击穿电压值大于导通管基极回路稳压管的击穿电压值,如图11所示。由于 BL_1 的击穿电压值大于 BL_1 的击穿电压值,在电压数值低到导通管由导通变为截止时,即电压小于等于 BL_1 的击穿电压值时,截止管早已失去了导通条件不可能误动。

为防止出口三极管在电压降低时由于逻辑电路误动误跳断路器,在出口截止三极管基极回路中串一稳压管,它的击穿电压值大于可能导致逻辑电路误动的电压值,这样在电压低到可能导致逻辑电路误动时,出口截止三极管早已被稳压管闭锁失去了动作条件,有效地防止了电压下降误跳断路器。

参 考 资 料

1. T·S·MADHAVA RAO Power System Protection Static Relays
2. 脉宽调制变换器型稳压电源 徐德高 金刚
3. 继电器 1981年第4期
“BDN—1A型直流电源变换装置的改进总结” 上海继电器厂 汤立

.....

(上接47页) 我们可以把47个开关按片元件为单位分为8个组,因为我们采用的元件为5G612—8模拟开关,为了在印制板中布局和走线的方便,我们只用了其中六个开关,也就是六个开关为一组。如果确定为YF门中的开关故障,在检测时,可以逐片挑起(焊开)5G612开关的S端,即输出脚的第10号端子,当S端断开之后,这一组的六个开关就相当于开路,即相当于启动YF门输入端相对应的六个输入信号为“1”。这样的逻辑关系对调试工作分有制。即使断开某元件的S脚,不影响分配器输出时序脉冲的逻辑正确性。